

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-177722

(43)Date of publication of application : 27.06.2003

(51)Int.Cl.

G09G 3/36

G02F 1/133

G09G 3/20

(21)Application number : 2001-376587

(71)Applicant : HITACHI LTD

(22)Date of filing : 11.12.2001

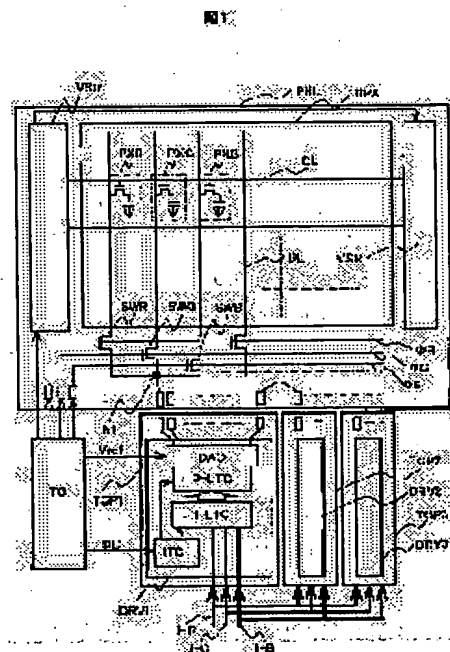
(72)Inventor : MIYAZAWA TOSHIO

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a display device whose cost is low by reducing the number of components.

SOLUTION: In this display device, the driving capability of a drain driver is made to be enhanced by making the display device have a constitution in which additional latch circuits are provided in respective driving circuits which are divided into a plurality of groups and are connected to a display device and display circuits are provided in the respective driving circuits, or in which bus lines of a video signal line are provided in the display device.



LEGAL STATUS

[Date of request for examination]

03.12.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

***,NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more scanning lines, the 1st drain wire, the 2nd drain wire, and the 3rd drain wire, Two or more pixels which have the thin film transistor connected to two or more of said scanning line and said each drain wire, The 1st switch which the 1st terminal is connected to said 1st drain wire, and is controlled by the 1st control signal, The 2nd switch which the 1st terminal is connected to said 2nd drain wire, and is controlled by the 2nd control signal, The 3rd switch which the 1st terminal is connected to said 3rd drain wire, and is controlled by the 3rd control signal, The 2nd terminal of said 1st switch, and the 2nd terminal of said 2nd switch, The 3rd terminal of said 3rd switch is the indicating equipment which has the node connected in common and the drain driver which supplies a video signal to said node. To said drain driver The 1st digital data corresponding to the video signal supplied to said 1st drain wire, The display characterized by inputting into juxtaposition the 2nd digital data corresponding to the video signal supplied to said 2nd drain wire, and the 3rd digital data corresponding to the video signal supplied to said 3rd drain wire.

[Claim 2] Said drain driver is a display according to claim 1 characterized by having the 1st latch who holds said 1st digital data and is controlled by the 4th control signal, the 2nd latch who holds said 2nd digital data and is controlled by the 5th control signal, and the 3rd latch who holds said 3rd digital data and is controlled by the 6th control signal.

[Claim 3] It is the display according to claim 1 or 2 characterized by for said 1st drain wire supplying the video signal which displays red to a pixel, for said 2nd drain wire supplying the video signal which displays green to a pixel, and said 3rd drain wire supplying the video signal which displays blue to a pixel.

[Claim 4] Said the 1st to 3rd switch is an indicating equipment according to claim 3 characterized by being the thin film transistor of the polycrystalline silicon formed on the insulating substrate of an indicating equipment, and forming said drain driver on a single semiconductor chip.

[Claim 5] Said semiconductor chip is a display according to claim 4 characterized by being stuck on said insulating substrate.

[Claim 6] It is the display according to claim 3 which said drain driver has the DA converter between said the 1st to 3rd latch, and said the 1st to 3rd switch, and is characterized by said DA converter having the switching element formed of the thin film transistor formed on said insulating substrate.

[Claim 7] n drain wires connected to the pixel which displays the green which adjoined the pixel which displays the scanning line, n drain wires connected to the pixel which displays red, and said red, and was formed, n drain wires connected to the pixel which displays the blue which adjoined the pixel which displays said green and was formed, The drain wire connected to the pixel which displays said red, and the drain wire connected to the pixel which displays said green, n nodes to which the drain wire connected to the pixel which displays said blue was connected through the switch, respectively, The display characterized by having the processing latch who is connected to the DA converter connected to said node, and said DA converter, and holds the digital image data for a 3n piece pixel, and the input latch who is connected to said processing latch and holds the digital image data for a 3n piece pixel.

[Claim 8] Said DA converter is a display according to claim 7 which consists of 3n piece DA translation circuits, and is characterized by inputting into juxtaposition the image data of the pixel which displays

red on said input latch, the image data of the pixel which displays green, and the image data of the pixel which displays blue.

[Claim 9] Said DA converter is a display according to claim 7 which consists of n DA translation circuits which carry out the DA translation of the image data supplied by time sharing from a processing latch, and is characterized by inputting into juxtaposition the image data of the pixel which displays red on said input latch, the image data of the pixel which displays green, and the image data of the pixel which displays blue.

[Claim 10] Said switch is a display according to claim 8 or 9 characterized by being the thin film transistor of the polycrystalline silicon formed on the insulating substrate, and forming said DA converter, said processing latch, and said input latch on the semi-conductor substrate of a single crystal.

[Claim 11] Said switch, said DA converter, said processing latch, and said input latch are a display according to claim 8 or 9 characterized by having the thin film transistor of the polycrystalline silicon formed on the insulating substrate.

[Claim 12] The 1st display block which has two or more pixels, and the 2nd display block which has two or more pixels, The drain bus line connected to the drain wire within said 1st display block, and the drain wire within said 2nd display block, With the DA converter connected to said drain bus line, and the latch connected to said DA converter It is the indicating equipment which has delay equipment connected to said latch. Said delay equipment The input terminal into which digital image data are inputted, and the 1st switching circuit connected to said input terminal input, The display characterized by having the output terminal connected to the delay circuit connected to said input terminal, the 2nd switching circuit connected to the output of said delay circuit, and said the 1st switching circuit and said 2nd switching circuit.

[Claim 13] The display according to claim 12 characterized by having the switching circuit controlled by the 1st control signal between the drain wire within said 1st display block, and said drain bus line.

[Claim 14] The display according to claim 13 characterized by having the switching circuit controlled by the 2nd control signal between the drain wire within said 2nd display block, and said drain bus line.

[Claim 15] Said switching circuit between said drain wires and said drain bus lines is a display according to claim 13 or 14 characterized by being the thin film transistor formed with polycrystalline silicon.

[Claim 16] Said delay equipment is a display given in claim 12 thru/or any of 15 they are. [which is characterized by being formed on a single semiconductor chip]

[Claim 17] Said delay equipment, said latch, and said DA converter are a display given in claim 12 thru/or any of 15 they are. [which is characterized by being formed on a single semiconductor chip]

[Claim 18] Two or more drain wires in said 1st display block are displays given in claim 12 thru/or any of 17 they are. [which is characterized by belonging also to said 2nd display block]

[Claim 19] The display characterized by having the 1st drain driver connected with the 1st switching element prepared between the pixel which has the thin film transistor connected to the scanning line, the drain wire, and said scanning line and said drain wire, the drain bus line, and said drain wire and said drain bus line at said drain bus line, and the 2nd drain driver connected to said drain bus line.

[Claim 20] Said 1st switching element is a display according to claim 19 characterized by being the thin film transistor formed with polycrystalline silicon.

[Claim 21] The display characterized by having the drain bus line connected to m switching circuits established in the scanning line formed common to m display blocks and said m display blocks, and the drain wire of said the display block of each, and said m switching circuits, and k drain drivers connected to said drain bus line.

[Claim 22] The display according to claim 21 characterized by having k drain switches between said drain bus line and said each drain driver.

[Claim 23] It is the display according to claim 22 characterized by for said each display block having said 3n drain wire, for the switching circuit established in said each display block having 3n switch connected

to said 3n drain wire, respectively, for said drain bus line having 3n wiring [bus-line] connected to said 3n switch, and each of said k drain switches having 3n switch.

[Claim 24] The switch which said switching circuit has is a display according to claim 21 characterized by being the thin film transistor formed with polycrystalline silicon.

[Claim 25] Said switch which said drain switch has is a display according to claim 23 characterized by being the thin film transistor formed with polycrystalline silicon.

[Claim 26] A part of display 1 of said m display blocks and display block which adjoins said one display block are a display given in claim 21 thru/or any of 25 they are. [which is characterized by superimposing]

[Claim 27] The 1st drain wire with which the pixel was prepared, and the 2nd drain wire with which the pixel was prepared, The 1st switch formed between the 1st drain bus line, the 2nd drain bus line, and said 1st drain wire and said 1st drain bus line, The 2nd switch formed between said 2nd drain wire and said 2nd drain bus line, The display characterized by having the 1st drain driver connected to said 1st drain bus line, and the 2nd drain driver connected to said 2nd drain bus line.

[Claim 28] Said the 1st switch and said 2nd switch are a display according to claim 27 characterized by being the thin film transistor formed with polycrystalline silicon.

[Claim 29] It is the display according to claim 27 or 28 characterized by forming said 1st drain bus line along one side of the viewing area which has said pixel, and forming said 2nd drain bus line along the side of another side which counters one [said] side of said viewing area.

[Claim 30] The scanning line formed common to p display blocks, r display blocks, said p display blocks, and said p display blocks, p switching circuits established in each of said p display blocks, r switching circuits established in each of said r display blocks, The 1st drain bus line connected common to said p switching circuits, The display characterized by having the 1st drain driver connected to the 2nd drain bus line connected common to said r switching circuits, and said 1st drain bus line, and the 2nd drain driver connected to said 2nd drain bus line.

[Claim 31] The switching circuit which display 1 of said p display blocks has 3n drain, and was established in said one display block It has 3n switch connected to said 3n drain wire, respectively. It is the display according to claim 30 which said 1st drain bus line has 3n wiring connected to said 3n switch, and is characterized by connecting said 3n wiring to 3n terminal of said drain driver.

[Claim 32] Said 3n switch is a display according to claim 31 characterized by being the thin film transistor formed with polycrystalline silicon.

[Claim 33] A display given in claim 30 thru/or any of 32 they are. [to which display 1 of said r display blocks is characterized by having 3n drain]

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001] "

[Field of the Invention] This invention relates to the display which used the thin film transistor.

[0002]

[Description of the Prior Art] As a display which has arranged the pixel which used the thin film transistor in the shape of a matrix, there are a liquid crystal display which used liquid crystal, a display of EL mold using electroluminescence, etc.

[0003] Drawing 16 shows the 1st liquid crystal display which used the conventional thin film transistor. Although not illustrated, a thin film transistor is formed in one side of two transparent glass substrates with which this liquid crystal display counters in the shape of an array, and the transparent counterelectrode is formed in the substrate of another side. Although a liquid crystal display is needed as others, a polarizing plate, and a back light component, those components are not directly related to this invention. [display panel / which is constituted by the two above-mentioned transparence substrates.] Therefore, in the following explanation, the substrate with which the thin film transistor of the display panels is formed is called a display panel.

[0004] Two or more scanning lines GL which extend in a longitudinal direction are formed in display-panel LCP, and two or more drain wire DL which extends in a lengthwise direction is formed in it. The thin film transistor by which the gate was connected to the scanning line, either a drain or the source was connected to the drain wire, and another side of a drain or the source was connected to the pixel electrode is formed in the intersection of the scanning line and a drain wire. Two or more formation of the pixel which has an above-mentioned thin film transistor and an above-mentioned pixel electrode in a display panel is carried out at the shape of a matrix. Drawing 16 shows only the pixel PXB which displays the pixel PXG which displays the pixel PXR which displays the red connected to the one scanning line among the pixels formed in the shape of a matrix, and green, and blue. One dot is displayed by these three pixels. Three illustrated pixels are repeatedly formed in the actual viewing area. A display chooses the scanning line, is making into an ON state the thin film transistor connected to the scanning line, and impresses the video signal supplied to a drain wire to a pixel electrode. It displays by controlling the permeability of a light inter-electrode because this drives the liquid crystal constituent which intervenes between a pixel electrode and a counterelectrode. The pixel has extended even on the outside of the viewing area formed in the shape of a matrix, and the scanning line is connected with the gate driver VSR out of a viewing area on either side. The drain wire which connected to one terminal of Switch SWG the drain wire which connected to one terminal of Switch SWR the drain wire connected to the pixel which displays red in this liquid crystal display although the drain wire had also extended even out of the viewing area, and was connected to the pixel which displays green, and was connected to the pixel which displays blue is connected to one terminal of Switch SWB. The other-end child of three switches connected to each of the drain wire of RGB is summarized to one, and is connected to the video-signal input terminal currently formed on the display panel. The switch corresponding to the pixel which displays red is controlled by the signal phi 1, the switch corresponding to the pixel which displays green is controlled by the signal phi 2, and the switch corresponding to the pixel which displays blue is controlled by the signal phi 3 according to an individual. Although illustration is omitted, it connects with the video-signal input terminal through the switch controlled by the signal phi 1, and each drain wire connected to the pixel which displays the red in a viewing area is the same also about the pixel which displays green, and the pixel which displays blue. When it waves, one video-signal input terminal will be connected to three drain wires connected to each pixel which displays RGB through the switch controlled by signals phi1, phi2, and phi3. It connects with the terminal of a tape career package, and the video-signal input terminal formed on the display panel is connected to the drain driver carried on the tape career package through wiring in a tape career package. Although the drawing has detached and indicated the video-signal input terminal and the terminal of TCP, it has pasted up with the anisotropy electric conduction sheet etc. in practice. Three signals which control the switch formed on the display

panel are supplied from the external control circuit TC prepared out of a display panel.

[0005] Drawing 15 shows the internal configuration of a drain driver. A drain driver has input latch I-Local Area Transport which latches the image data supplied as a digital signal from the exterior, processing latch P-LTC to which image data are transmitted by input latch, and DA converter DAC which changes into an analog signal the image data which the processing latch holds in order to supply a video signal to the video-signal input terminal of a display panel. This display shown above writes in the 1st video signal which a drain driver outputs at the period when the predetermined scanning line is chosen to the pixel which displays red through Switch SWR by making a signal phi 1 into an ON state first. Furthermore, the 2nd video signal which a drain driver outputs to the period when the above-mentioned predetermined scanning line is chosen to the pixel which displays green by making a signal phi 2 into an ON state is written in, and the 3rd video signal which a drain driver outputs to the pixel which displays blue by making a signal phi 3 into an ON state is written in. That is, a drain driver outputs the video signal over the pixel which displays the video signal over the pixel which displays the video signal over the pixel which displays red, and green, and blue 3 times by time sharing to the period when the one scanning line is chosen. This became possible to set the number of drain drivers to former 1/3.

[0006] The 2nd conventional liquid crystal display is shown in drawing 13. This liquid crystal display also has two or more pixels which have two or more scanning lines GL, two or more drain wire DL, and a thin film transistor and a pixel electrode, and two or more scanning lines are connected to the gate driver. The difference with the liquid crystal display shown previously is the point of dividing the display panel into two or more display blocks. Each display block has two or more drain wires, and these drain wires are connected to the one side terminal of two or more switches out of a viewing area. The other-end child of a switch is connected to the drain bus line. The switch to which the drain wire of each display block is connected is controlled by the common signal.

[0007] In this liquid crystal display, the viewing area is divided into three display blocks, and n dots are formed in the scanning line within each display block. The 1st display block of drawing 13 shows the pixels PR1, PR2, and PRn which display the red connected to the one scanning line. The drain wire connected to these pixels is connected to each bus arrangement line BR1, BR2, and BRn which constitutes a drain bus line through switching elements SR1, SR2, and SRn out of a viewing area, respectively. The drain with which the drawing which displays the 1st red within the 2nd display block BK2 was connected to PBn+1 is also connected to the wiring BR 1 of a drain bus line through switching element SRn+1. The pixel which adjoins the pixel which displays red for simplification, and the pixel which displays red although only the drain wire and switch linked to it, and the drain bus line are illustrated, and displays green, and the pixel which displays blue are formed by a diagram, and the switch connected with a drain wire at it corresponding to each pixel is formed. Furthermore, although only the thing corresponding to the pixel as which a drain bus line also displays red is shown by a diagram, the drain bus line which displays the drain bus line and blue corresponding to the pixel which displays green exists. Therefore, since n drain 3 bus lines [n] formed out of a viewing area exist corresponding to each of RGB, on the whole, they will exist. Each of wiring which constitutes a drain bus line is connected to the output of a drain driver. Two or more switches with which its ON/OFF is controlled by the signal phi 1, and two or more switches which exist between the drain wire within the 1st display block and a drain bus line exist between the drain wire within the 2nd display block and a drain bus line are controlled by the signal phi 2, and two or more switches which exist between the drain wire within the 3rd display block and a drain bus line are controlled by the signal phi 3. These signals are outputted from the external control circuit TC. The number of the drain wire contained in one display block, the number of the switches formed between them and a drain bus line, the number of a drain bus line, and the number of outputs of a drain driver are equal. Moreover, the number of display blocks and the number of control signals are equal.

[0008] In this liquid crystal display, the 1st video signal currently supplied to the drain bus line from the drain driver through the switch connected to the drain wire of the 1st display block by the period when

the predetermined scanning line is chosen, and making a signal phi 1 into an ON state first is written in the pixel of the 1st display block. Then, where said predetermined scanning line is chosen, a signal phi 2 is made into an ON state, the 2nd video signal currently supplied to the drain bus line from the drain driver is written in the pixel of the 2nd display block, and the 3rd video signal currently supplied to the drain bus line from the drain driver by making a signal phi 3 into an ON state is further written in the pixel of the 3rd display block. As for this liquid crystal display, the one scanning line outputs a video signal [as opposed to the pixel of the 1st display block in a drain driver], the video signal over the pixel of the 2nd display block, and the video signal over the pixel of the 3rd display block to the period chosen 3 times by time sharing. This became possible to set the number of drain drivers to former 1/3.

[0009] In two liquid crystal displays shown above, a viewing area is divided into some groups, within 1 level period when the one scanning line is chosen, a pixel pair is carried out in each group by time sharing, and a video signal is written in from a drain driver. This becomes possible from the number of outputs of a drain driver to drive many drain wires. With the 1st conventional technique, since the video-signal line is divided into three groups of RGB, specifically, it becomes possible to drive a 3 times as many drain wire as the number of outputs of a drain driver. With the 2nd conventional technique, since the viewing area is divided into three groups, it becomes possible to drive a 3 times as many drain wire as the number of outputs of a drain driver.

[0010]

[Problem(s) to be Solved by the Invention] Drawing 17 shows timing, such as a video signal of the 1st conventional liquid crystal display. Hereafter, the trouble of the 1st conventional liquid crystal display is shown using drawing 16 and drawing 17. It is common to a liquid crystal display that 6 bits digital data I-R for displaying red with 64 gradation, 6-bit digital data I-G for displaying green with 64 gradation, and 18 bit of 6-bit digital data I-B for displaying blue with 64 gradation are supplied at a time to parallel for every dot from external instruments, such as a computer. In drawing 17, sequential supply of the image data to 3n pixel by which image data I-R is formed in the one scanning line is carried out with R1, —, Rn, and Rn+1 —, R2n, R2n+1, —, R3n. The same is said of green and blue. Here, the image data of the next scanning line of R1 are set to R'1, and the image data of the following scanning line are set to R''1. Therefore, it is necessary to form the image data aligner ALN in the preceding paragraph of a drain driver in the liquid crystal display which carried the drain driver DRV in which only one line has an input latch and a DA converter. That is, although an external device supplies a part for the image data to which the one scanning line corresponds to predetermined timing one by one The image data supplied to the pixel which displays red from the image data supplied in this liquid crystal display according to a control signal phi 1, The image data supplied to the pixel which displays green according to a control signal phi 2, and the image data supplied to the pixel which displays blue according to a control signal phi 3 are sorted out, and it is necessary to carry out digital to analog conversion one by one, and to output. However, since it is not designing in consideration of performing above-mentioned processing in this drain driver, the circuit of the dedication for performing above-mentioned processing in the preceding paragraph of a drain driver is prepared, and the image data which an external device supplies there at 1 level period are saved temporarily, and it is necessary to sort out the image data of RGB and to carry out sequential supply from the saved data, at a drain driver. For example, the image data O1 which a data aligner supplies to the drain driver DRV1 which supplies a video signal to the dots from the 1st to the n-th The sequential output of B1-Bn which sorted out the data which display G1-Gn which sorted out the data which display R1-Rn which sorted out the data which display red from image data I-R, and green, and blue to the period when the one scanning line is chosen is carried out. The same is said of the drain driver DRV2 which supplies a video signal to the dot from the n+1st to 2n position, and the drain driver DRV3 which supplies a video signal to the dot from 2n+1 position to 3n position.

[0011] Drawing 14 shows timing, such as a video signal of the 2nd conventional liquid crystal display. Hereafter, the trouble of the 2nd conventional liquid crystal display is shown using drawing 13 and drawing 14. Usually, after a drain driver incorporates image data to an input latch, it transmits and

carries out the DA translation of input latch's image data to a processing latch, and outputs them to a display panel. Therefore, the time amount for transmitting input latch's data to a processing latch is needed. However, as shown in drawing 14, an external device outputs the image data for 3n dot without a break. Therefore, in having supplied the image data of an external device to the direct drain driver, the time amount to a processing latch to transmit is lost in input latch's data. Therefore, the data aligner ALN for supplying the image data which added the time amount for performing the transfer between latches in a drain driver to a drain driver is needed for the preceding paragraph of a drain driver. In the conventional data aligner, the image data which an external device outputs to two or more memory were memorized, the memorized data were processed, and the drain driver was supplied.

[0012] Then, the main purpose of this invention is reducing components mark further and realizing the indicating equipment in which cost reduction's is possible rather than the indicating equipment conventional by adding a still easier configuration in view of the trouble of the conventional indicating equipment, in the indicating equipment which reduced the number of drain drivers.

[0013] The other purposes and the new description will become clear from description of this specification, and an attached drawing along [said] this invention.

[0014]

[Means for Solving the Problem] The typical configuration indicated in this invention is as follows.

[0015] Two or more pixels which have the thin film transistor connected to the scanning line, the 1st to 3rd drain wire, and two or more scanning line and said each drain wire of two or more, The 1st switch which the 1st terminal is connected to the 1st drain wire, and is controlled by the 1st control signal, The 2nd switch which the 1st terminal is connected to the 2nd drain wire, and is controlled by the 2nd control signal, The 3rd switch which the 1st terminal is connected to the 3rd drain wire, and is controlled by the 3rd control signal, The node to which the 2nd terminal of the 1st switch, the 2nd terminal of the 2nd switch, and the 3rd terminal of the 3rd switch were connected in common, It is the indicating equipment which has the drain driver which supplies a video signal to a node. To a REIN driver The 1st digital data corresponding to the video signal supplied to the 1st drain wire, It is characterized by inputting into juxtaposition the 2nd digital data corresponding to the video signal supplied to the 2nd drain wire, and the 3rd digital data corresponding to the video signal supplied to the 3rd drain wire.

[0016] Here, the above-mentioned indicating equipment is characterized by a drain driver having the 1st latch who holds the 1st digital data and is controlled by the 4th control signal, the 2nd latch who holds the 2nd digital data and is controlled by the 5th control signal, and the 3rd latch who holds the 3rd digital data and is controlled by the 6th control signal.

[0017] Moreover, it is characterized by for the above-mentioned display supplying the video signal with which the 1st drain wire displays red to a pixel, for the 2nd drain wire supplying the video signal which displays green to a pixel, and the 3rd drain wire supplying the video signal which displays blue to a pixel.

[0018] n drain wires connected to the pixel which displays the scanning line and red at the display of other configurations of this invention, n drain wires connected to the pixel which displays the green which adjoined the pixel which displays red and was formed, n drain wires connected to the pixel which displays the blue which adjoined the pixel which displays green and was formed, The drain wire connected to the pixel which displays red, and the drain wire connected to the pixel which displays green, n nodes to which the drain wire connected to the pixel which displays blue was connected through the switch, respectively, It is characterized by having the DA converter connected to the node, the processing latch who is connected to a DA converter and holds the digital image data for a 3n piece pixel, and the input latch who is connected to a processing latch and holds the digital image data for a 3n piece pixel.

[0019] Here, the DA converter of the above-mentioned indicating equipment consists of 3n piece DA translation circuits, and it is characterized by inputting into juxtaposition the image data of the pixel which displays the image data and blue of the pixel which displays the image data and green of the pixel which displays red on an input latch.

[0020] Moreover, the DA converter of the above-mentioned indicating equipment consists of n DA translation circuits which carry out the DA translation of the image data supplied by time sharing from a processing latch, and is characterized by inputting into juxtaposition the image data of the pixel which displays the image data and blue of the pixel which displays the image data and green of the pixel which displays red on an input latch.

[0021] Moreover, it is with the display of other configurations of this invention. The 1st display block which has two or more pixels, and the 2nd display block which has two or more pixels, The drain bus line connected to the drain wire within the 1st display block, and the drain wire within said 2nd display block, It has the DA converter connected to the drain bus line, the latch connected to the DA converter, and delay equipment connected to the latch. Delay equipment The input terminal into which digital image data are inputted, and the 1st switching circuit connected to the input terminal input, It is characterized by having the output terminal connected to the delay circuit connected to said input terminal, the 2nd switching circuit connected to the output of a delay circuit, and the 1st switching circuit and 2nd switching circuit.

[0022] Here, in the above-mentioned indicating equipment, it is characterized by having the switching circuit controlled by the 1st control signal between the drain wire within the 1st display block, and a drain bus line.

[0023] Furthermore, in the above-mentioned indicating equipment, it is characterized by having the switching circuit controlled by the 2nd control signal between the drain wire within the display block of an account 2nd, and a drain bus line.

[0024] Moreover, the display of other configurations of this invention is characterized by having the 1st drain driver connected with the 1st switching element prepared between the pixel which has the thin film transistor connected to the scanning line, the drain wire, and the scanning line and said drain wire, the drain bus line, and a drain wire and said drain bus line at the drain bus line, and the 2nd drain driver connected to the drain bus line.

[0025] Moreover, the indicating equipment of other configurations of this invention is characterized by having the drain bus line connected to m switching circuits established in the scanning line formed common to m display blocks and m display blocks, and the drain wire of each display block, and m switching circuits, and k drain drivers connected to the drain bus line.

[0026] Moreover, the 1st drain wire with which, as for the display of other configurations of this invention, the pixel was prepared, The 2nd drain wire with which the pixel was prepared, and the 1st drain bus line, The 1st switch formed between the 2nd drain bus line, and the 1st drain wire and the 1st drain bus line, It is characterized by having the 2nd switch formed between the 2nd drain wire and the 2nd drain bus line, the 1st drain driver connected to the 1st drain bus line, and the 2nd drain driver connected to the 2nd drain bus line.

[0027] In the indicating equipment of other configurations of this invention, moreover, p display blocks and r display blocks, The scanning line formed common to p display blocks and p display blocks, p switching circuits established in each of p display blocks, r switching circuits established in each of r display blocks, The 1st drain bus line connected common to p switching circuits, It is characterized by having the 1st drain driver connected to the 2nd drain bus line connected common to r switching circuits, and the 1st drain bus line, and the 2nd drain driver connected to the 2nd drain bus line.

[0028]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail based on a drawing.

[0029] Drawing 1 is drawing showing the display of the 1st operation gestalt of this invention. Two or more scanning line GL and two or more drain wire DL are prepared in the viewing area DPA in the display panel PNL which consists of insulating substrates, such as glass. The thin film transistor which the scanning line connects to the gate and a drain connects to a drain wire is formed in each of two or more pixels of the shape of a matrix specified with the scanning line and a drain wire. Drawing 1 shows

only three pixels of the pixel PXR which displays the red connected to the one scanning line among two or more pixels of a viewing area, the pixel PXG which displays green, and the pixel PXB which displays blue. 1 dot consists of pixels of these 3 color. Although illustration is omitted, the pixel of the three above-mentioned colors is repeatedly formed in the one scanning line. That is, the viewing area is formed by two or more dots being formed in the one scanning line, and two or more [of the scanning line] being formed in juxtaposition in the lengthwise direction in drawing. The source of the thin film transistor of three illustrated pixels is connected to the pixel electrode which each pixel has. Each scanning line formed in the viewing area has extended even out of a viewing area, and is connected to a gate driver out of a viewing area. Then, the drain wire has also extended even out of a viewing area, and is connected in a switching circuit. The drain wire which connected with the pixel as which the drain wire corresponding to the pixel as which the drain wire corresponding to the pixel which displays the red in drawing displays one terminal of the 1st switch SWR and green displays one terminal of the 2nd switch SWG and blue is connected to one terminal of the 3rd switch SWB. The other-end child of these three switches is connected common to the 1st node N1. Moreover, as for the 1st switch, ON/OFF is controlled by 1st signal ϕR , as for the 2nd switch, ON/OFF is controlled by 2nd signal ϕG , and, as for the 3rd switch, ON/OFF is controlled by 3rd signal ϕB . Although two or more dots are formed along with the one scanning line as mentioned above, the configuration of three switches controlled, respectively is also repeated and formed in the direction of the scanning line by three drain wires and three signals which were illustrated. That is, a node will be formed only for the number of the dots formed in the one scanning line. On these specifications, two or more drain wires connected to a red pixel are made into one group, and it considers as each group also about two or more drain track groups connected to the pixel of two or more drain track groups connected to a green pixel, or blue.

[0030] The node N1 to which the other-end child of the 1st to 3rd above-mentioned switch is connected is connected to the terminal formed on a display panel. Number formation of a number of a dot, i.e., the number of pixels with which it connects with the 1 scanning line, of the 1/3 with which the terminal formed on a display panel is formed in the 1 scanning line is carried out. three tape career packages TCP1, TCP2, and TCP3 which have the flexibility in which this terminal was resembled, respectively and the drain driver was carried — on the other hand, a terminal is connected. With this operation gestalt, although considered as three tape career packages, it has not necessarily restricted especially and can change suitably according to the number of dots of a display panel, or the number of terminals of a tape career package. The image data which an external device etc. outputs to the other-end child of each tape career package are inputted into juxtaposition. An external device outputs a bits [two or more] data I-R corresponding to the pixel which displays red, a bits [two or more] data I-G corresponding to the pixel which displays green, and two or more bits data I-B corresponding to the pixel which displays blue to juxtaposition. For example, when each of three pixels which constitute RGB displays 64 gradation (i.e., when 1 dot performs about 260,000 color specification), the digital data corresponding to each pixel becomes 6 bits, and an external device outputs 1-dot bits [18 bits] image data to the same timing. The image data inputted into the tape career package are inputted into the drain driver carried on each tape career package. A drain driver changes the inputted digital image data into the video signal of an analog, and supplies the changed video signal to each pixel through the terminal, the node N1, switching circuit, and drain wire on a panel. Although the drain driver is formed in one semiconductor chip and this semiconductor chip is carried on a tape career package with this operation gestalt, you may be the configuration of sticking directly the semiconductor chip with which the drain driver was formed on a display panel.

[0031] Input latch I-LTC which incorporates the image data by which sequential supply is carried out for every dot in each drain driver according to a clock from an external device, Processing latch P-LTC which carries out reception maintenance of the image data which the input latch incorporated collectively, DA converter (digital-to-analog converter) DAC which changes the image data held by the processing latch into the video signal which is an analog signal, and the built-in control circuit ITC which

controls an input latch and a processing latch based on signal ϕ_{iD} supplied from the outside are formed.

[0032] The indicating equipment of this operation gestalt has the external control circuit TC which supplies the 1st to 3rd [which controls the signal which controls further the shift register which a gate driver VSR has, and the switching circuit mentioned above on the display panel] signal ϕ_{iR} , ϕ_{iG} , and ϕ_{iB} . This external control circuit supplies the reference voltage V_{ref} for generating the gradation electrical potential difference of the video signal which supplies above-mentioned signal ϕ_{iD} to the built-in control circuit in a drain driver, and is supplied to a pixel to a DA converter.

[0033] The detailed configuration of a drain driver shown by drawing 1 is shown in drawing 2. Although drawing 1 shows three drain drivers, since those configurations are the same, only the drain driver DRV1 is explained here. Image data I-R, I-G, and I-B are inputted into juxtaposition at a drain driver. Although detailed illustration has not been carried out, when each pixel displays 64 gradation, 18 input terminals per dot of a drain driver are needed. 36 pieces are needed if the configuration as which the data for 2 dots are inputted in parallel is taken. About whether the data for whether the data for 1 dot are inputted [2-dot] are inputted in parallel, it is in the relation of a trade-off to the working speed of a drain driver, and the number of terminals, and does not restrict especially. The inputted image data are incorporated one by one by input latch I-LTC. An input latch has red image data latch I-LTC-R, green image data latch I-LTC-G, and blue image data latch I-LTC-B for every RGB. Each data latch incorporates image data synchronizing with output ϕ_{iTr} of a built-in control circuit.

[0034] Each data latch transmits the image data for n pixels which the data latch of each RGB holds (when it is 1-pixel 64 gradation, it is $6 \times n$ bits) to processing latch P-LTC, dots [as which image data are specified beforehand / n], i.e., after being inputted by $3 \times n$ pixels. For every pixel, the red image data which a red image data latch holds are transmitted to the red latches $R1-Rn$ in processing latch P-LTC, and are held. For every pixel, the green image data which a green image data latch holds, and the blue image data which a blue image data latch holds are also transmitted to the green latches $G1-Gn$ and the blue latches $B1-Bn$ in a processing latch, and are held. The image data held at $3 \times n$ latches in a processing latch are the DA converter connected to each latch, and are changed into the video signal which is an analog signal according to the gradation which each image data has. Then, the 1st to the 2nd n $3n$ - DA converters connected to it with n red latches output the video signal changed based on the image data currently held based on a signal ϕ_1 . Furthermore, after that, a green latch outputs the video signal changed from the 2nd DA converter by $3n$ - the 1st DA converter based on the image data which each holds based on a signal ϕ_2 , and a blue latch outputs the video signal changed from the 3rd DA converter by the $3n$ position DA converter based on the image data which each holds based on a signal ϕ_3 . The image data for n dots inputted as digital data are changed into the video signal of an analog, respectively, and are outputted to a display panel through On by the above processing from the output terminal O1 of a drain driver as the video signal for n pixels which perform a red display, the video signal for n pixels which perform a green display, and a video signal for n pixels which perform a blue display.

[0035] Although the above-mentioned signals ϕ_{i1} , ϕ_{i2} , and ϕ_{i3} are supplied to the processing latch or the DA converter, the generation method of a signal can take various approaches; for example, a built-in control circuit carries out counting of the clock of the image data supplied, the clock supplied from an external control circuit, may be the approach of generating a various signal based on it, and is not restricted especially. In addition, from an external device, the image data corresponding to $3 \times n$ dots formed in the 1 scanning line of a display panel are supplied continuously. Therefore, with this operation gestalt, three drain drivers connected to a display panel incorporate every n dots of image data for $3 \times n$ dots which an external device supplies to an input latch by time sharing. Therefore, the initiation timing of the input latch in each drain driver of operation differs. Initiation timing of operation may be a configuration which may supply each drain driver from an external control circuit, and starts actuation based on other notices of termination of operation which carry out a drain driver output. However, about the signals ϕ_{i1} - ϕ_{i3} which output a video signal to a display panel from a drain driver, it is desirable in

all drain drivers that it is the same timing.

[0036] Drawing 3 shows the timing of the signal about the display of this operation gestalt using drawing 1 and drawing 2. $3n$ display of a dot is possible for the display panel shown by drawing 1 in the direction of the scanning line. Therefore, $n/3$ switches SWR formed in the drain wire corresponding to the pixel which performs a red display are formed in the display panel, and $n/3$ switches SWG and SWB are formed similarly, respectively. Moreover, $n/3$ nodes N1 to which the other-end child of Switches SWR, SWG, and SWB is connected in common are formed, and the drain driver which supplies a video signal to these nodes is connected to 3 juxtaposition. Each drain driver can drive n horizontal dots, i.e., $3n$ pixel. I-R of drawing 3, I-G, and I-B are image data supplied to the indicating equipment of this operation gestalt from an external device. Sequential supply of the image data corresponding to each pixel which displays the red connected to the 1 scanning line is carried out by $3n$ pixel to $R'3n$ with $R'1$ and $R'2$. The image data corresponding to each pixel which displays the green connected to the 1 scanning line, and each pixel which displays blue are supplied similarly. Set to $1H$ time amount to which the $3n$ dot image data formed on 1 scanning line are supplied, and let a period until supply of image data is completed and supply of the image data corresponding to the following scanning line is started be the blanking period BLK. Here, in $R'1$, the image data displayed on the pixel which displays the 1 st red connected to a certain scanning line are shown, and $R'n$ shows the image data displayed on the pixel which displays the n -th red connected to a certain scanning line. $R'1$ [moreover,] — the account of a top — the image data displayed on the pixel which displays the 1 st red connected to the next scanning line of a certain scanning line — expressing — $R1$ — the account of a top — the image data displayed on the pixel which displays the 1 st red connected to the scanning line of the preceding paragraph of a certain scanning line are expressed. The same is said of $G'1$, $B'1$ grade.

[0037] Although the image data of $3n$ dot prepared in the 1 scanning line are inputted into juxtaposition at three drain drivers prepared in the display panel The 1 st drain driver DRV1 incorporates the image data corresponding to the n -th dot from the 1 st dot to an input latch among $3n$ dots. The 2 nd drain driver DRV2 incorporates the image data from the $n+1$ st dots to $2n$ dot, and the 3 rd drain driver DRV3 incorporates the image data from a $2n+1$ position dot to a $3n$ position dot. Actuation with the same said of the image data about other scanning lines is performed. The image data incorporated by input latch I-LTC-R of the 1 st drain driver, I-LTC-G, and I-LTC-B are shown in I-LTC-R of drawing 3, I-LTC-G, and I-LTC-B. After the image data of $1H$ are incorporated by the input latch of the 1 st to 3 rd drain driver, the image data of the input latch in three drain drivers are transmitted to a processing latch by the signal ϕ_0 shown also by drawing 2. $R1$, Rn , $G1$, Gn , $B1$, and Bn of drawing 3 show the image data which the processing latches $R1$, Rn , $G1$, Gn , $B1$, and Bn in a drain driver hold. In order that the image data of the 1 scanning line may perform the transfer to the processing latch from an input latch after three drain drivers are supplied altogether, the image data which the processing latch holds at a certain period turn into image data corresponding to the scanning line of the preceding paragraph of the image data which the input latch has incorporated at said a certain period.

[0038] As shown in drawing 3, let the signal ϕ_1 supplied to the latch who holds the image data of a red display in the condition that the processing latch holds image data, the signal ϕ_2 supplied to the latch holding the image data of a green display, and the signal ϕ_3 supplied to the latch holding the image data of a blue display be ON states one by one. When ϕ_1 is an ON state, the image data of the red display which Rn holds from the processing latch $R1$ are changed into the video signal of an analog by DA converters DAC1 and DAC4 and -DAC $3n-2$, and are outputted to On from the output terminal O1 of a drain driver by this actuation. Then, the image data of the green display which Gn holds from the processing latch $G1$ are changed into a video signal by DA converters DAC2 and DAC5 and -DAC $3n-1$, are outputted, and the image data of the blue display which Bn holds from the processing latch $B1$ are changed into a video signal by DA converters DAC3 and DAC6 - DAC $3n$, and they are outputted because signals ϕ_2 and ϕ_3 will be in an ON state. It combines with it and let an ON state, i.e., a switching circuit, be switch-on to the same timing as the signals ϕ_1 , ϕ_2 , and ϕ_3 which control the

processing latch in a drain driver, and a DA converter for signal ϕ_R which controls the switching circuits SWR, SWG, and SWB where the output terminal of a drain driver is connected, ϕ_G , and ϕ_B . Thereby, the video signal corresponding to the image data of the red display outputted from the DA converter of three drain drivers by the signal ϕ_1 is inputted into each of Pixel PXR which performs a red display through the 1st switch SWR made into the ON state by signal ϕ_R .

[0039] Then, the 1st switch will be in an OFF state by signal ϕ_R , and the output of the DA converter corresponding to the red indicative data of a drain driver is suspended by the signal ϕ_1 . Then, the video signal corresponding to a green indicative data is supplied by a signal ϕ_2 and ϕ_G from the DA converter corresponding to a green indicative data, and the video signal from a drain driver is written in the pixel PXG which performs a green display through the 2nd switch made into the ON state. Then, after the 2nd switch is made an OFF state by signal ϕ_G , the video signal corresponding to a blue indicative data is written in the pixel PXB which performs a blue display by making the DA converter corresponding to a green indicative data into an OFF state with a signal ϕ_2 , and controlling a signal ϕ_3 and signal ϕ_B . Then, make signal ϕ_B into an OFF state and let the DA converter corresponding to a blue indicative data be an OFF state with a signal ϕ_3 . An image is displayed on a viewing area by repeating the above actuation for every scanning line. Here, since it is desirable to supply the node N1 of a display panel to the same timing as for the video signal which each drain driver outputs, as for the signals ϕ_1 , ϕ_2 , and ϕ_3 in each drain driver, it is desirable [a video signal] that it is the signal of the same timing.

[0040] Conventionally, with the indicating equipment with which reception and a drain driver supply the video signal of RGB for the image data of RGB to a pixel by time sharing one by one, the data aligner which divides image data into the preceding paragraph of a drain driver at RGB, and is supplied to a drain driver is needed for an excess like this operation gestalt. However, in the indicating equipment of this invention, it becomes possible to reduce the components which were need conventionally by having the input latch and processing latch who memorize the image data of a pixel 3 times the number of the number of pixels which a drain driver outputs at once in a drain driver, and a DA converter. Furthermore, although the numbers of dots formed in the 1 scanning line according to a product differed, they needed to use the configuration of the data aligner prepared in the preceding paragraph of a drain driver with the conventional indicating equipment for the magnitude and definition of a display panel, having changed suitably. However, it is not necessary to prepare a data aligner and it becomes possible [that what is necessary is just to input image data into juxtaposition to a drain driver like the conventional indicating equipment which does not perform a time-sharing drive] in the indicating equipment of this invention to correspond to diversification of a form flexibly.

[0041] With the 1st operation gestalt shown above, 3n latch [input] of a piece who holds by the pixel, and the processing latch are formed in the drain driver which supplies a video signal to n pixels at once in the 1-pixel image data constituted by two or more bits, and n 3 DA converters are formed in it corresponding to each processing latch. The DA translation of the image data corresponding to the pixel of each RGB is carried out by time sharing. Therefore, you may be the configuration of giving one DA converter to 3 pixels of RGB. In this case, although it is necessary to carry out processing speed of a DA converter early, it becomes possible to decrease the gross area of the DA converter of a drain driver. Moreover, with this operation gestalt, especially although the configuration which connected three video-signal line drive circuits which 3n dot is formed in the 1 scanning line, and can supply a video signal to n dots, i.e., 3n pixel, at a display panel is shown, it has not necessarily restricted. For example, you may be the configuration of having connected one drain driver which can supply a video signal to n dots to the display panel with which n dots are displayed, and may be the configuration of having connected two drain drivers which can supply a video signal to n dots to the display panel with which 2n dot is displayed. Moreover, although it has the composition of driving three drain wires of RGB corresponding to 1 dot by time sharing at the selection period of the 1 scanning line, with this operation gestalt, it is good for the selection period of the 1 scanning line also as a configuration which drives 2

dots, i.e., six drain wires, by time sharing. In this case, there is display-panel ***** need about six switches controlled by six signals by each of six drain wires at time sharing, and a latch and DA converter of a drain driver are [twice as many as drawing 2 / number] necessary. Moreover, the reference voltage Vref supplied to signal phiD which the signal which controls signal phiR which controls the switches SWR, SWG, and SWB on a display panel, phiG, phiB, and a gate driver by the 1st operation gestalt is supplied from the external control circuit TC, and is supplied to the drain drivers DRV1, DRV2, and DRV3, and a DA converter is supplied from an external control circuit. The signals phi1, phi2, and phi3 which control the latch in a drain driver and a DA converter, and phiTr are generated in the built-in control circuit in a drain driver based on signal phiD supplied from an external control circuit. However, it does not restrict especially about where the above-mentioned signal is generated. You may be the configuration which generates all with an external control signal.

[0042] Drawing 4 is drawing showing the display of the 2nd operation gestalt of this invention. Two or more pixels which have the thin film transistor by which the scanning line GL, and two or more video-signal lines DL and gates of two or more were connected to the scanning line, and the drain was connected to the drain wire in the viewing area DPA in a display panel PNL are formed in the shape of a matrix. The viewing area of this operation gestalt is divided into three display blocks, the 1st display block BK1, the 2nd display block BK2, and the 3rd display block BK3, in the direction of the scanning line. n dots, i.e., 3n pixel, are formed in the direction of the scanning line at each display block. This means that 3n drain wire is formed in one display block. The n-th pixel PRn which displays the 2nd pixel PR 2 and red which displays the 1st pixel PR 1 and red which displays the red within the 1st display block among the pixels formed in the one scanning line by a diagram is shown. The n+1st pixel PRn+1 which display the red within the 2nd display block (although this pixel is a pixel which displays the 1st red within the 2nd display block, it is marked to this appearance in order to give the following explanation simple.) 3rdn position pixel PR3n which displays the red within the 3rd display block is shown that the same is said of the following. Although omitted by a diagram, between the i+1st pixel PRi+1 which display the i-th pixel PRi which displays red, and red, the drain wire linked to the i-th pixel PGi which displays green, and it, and the drain wire linked to the i-th pixel PBi which displays blue; and it are formed. The scanning line formed in the viewing area is connected to a gate driver VSR out of a viewing area. Then, the drain has also extended even out of a viewing area and is connected in a switching circuit.

[0043] the drain wire within the 1st display block — the 1st switching circuit — on the other hand, it connects with a terminal — having — the drain wire within the 2nd display block, and the drain wire within the 3rd display block — the 2nd switching circuit and the 3rd switching circuit — on the other hand, it connects with a terminal. The other-end child of each switching circuit is connected to a drain bus line. The drain wire specifically connected to the 1st pixel PR 1 which displays the red within the 1st display block is connected to the 1st wiring BR 1 in a drain bus line through the 1st switch SR 1 of the 1st switching circuit. The drain wire connected to the 2nd pixel PR 2 and n-th pixel PRn which displays the red within the 1st display block, respectively is connected to the 2nd wiring BR 2 and the wiring BRn of the n-th in a drain bus line through the 2nd switch SR 2 and n-th switch SRn. Moreover, the drain wire connected to the n+1st pixel PRn+1 which displays the red within the 2nd display block is connected to the 1st wiring BR 1 in a drain bus line through the n+1st switch SRn+1 of the 2nd switching circuit. The drain wire connected to n [3rd] pixel PR3n which displays the red within the 3rd display block is connected to the n-th wiring BRn in a drain bus line through n [3rd] switch SR3n of the 3rd switching circuit. ON/OFF is controlled by the signal phi 1 with common SRn from n switches SR 1 which the 1st switching circuit corresponding to the 1st display block has. ON/OFF is controlled by the signal phi 2 with common n SRswitch SRn+1 to 2n which the 2nd switching circuit corresponding to the 2nd display block has. ON/OFF is controlled by the signal phi 3 with n common switch SR2n+1 — SR3n which the 3rd switching circuit corresponding to the 3rd display block has. Although only the pixel which displays red is indicated by a diagram, it is formed about the pixel which displays green, and the pixel which displays blue as well as the above, and the i-th switch SBi corresponding to the pixel which

displays the i -th switch SG_i and blue corresponding to the pixel which displays green is formed between the i -th switch SR_i and the $i+1$ st switch SR_{i+1} .

[0044] Between the i -th wiring BR_i and the $i+1$ st wiring BR_{i+1} , the i -th wiring BB_i corresponding to the pixel which displays the i -th wiring BG_i and blue corresponding to the pixel which displays green is formed also about the video-signal bus line. That is, each of $3n$ drain wire within the 1st display block is connected to each of $3n$ wiring of a drain bus line through the 1st switching circuit which consists of a $3n$ switch controlled in common by the signal ϕ_1 . It connects common to said drain bus line to which the 1st switching circuit is connected also about the 2nd display block and the 3rd display block through the 2nd switching circuit controlled by the 2nd signal ϕ_2 , and the 3rd switching circuit controlled by the 3rd signal ϕ_3 . Each $3n$ wiring of a drain bus line to which the drain wire of the 3rd display block is connected in common through a switching circuit from the 1st is connected to $3n$ output terminal of a drain-driver. The drain driver of this operation gestalt is formed on the semiconductor chip, and the semiconductor chip is stuck on the display panel.

[0045] A drain driver has input latch I-LTC which incorporates the image data supplied as a digital signal from the exterior one by one, processing latch P-LTC which carries out reception maintenance of the image data incorporated by the input latch collectively, and the DA converter which changes the image data held by the processing latch into the video signal supplied to each pixel as an analog signal. Furthermore, this indicating equipment has delay equipment DLY which operates the image data supplied from the external control circuit TC which supplies the signals ϕ_1 , ϕ_2 , and ϕ_3 supplied to the switching circuit on a display panel, the signal PLS which controls the latch in a drain driver, and the reference voltage V_{ref} supplied to the DA converter in a drain driver, and an external device, and is supplied to a drain driver.

[0046] Image data are inputted into delay equipment in the same format as the 1st operation gestalt. The 1st inputted delay switch SW1 and the 1st delay circuit DL 1 are supplied at juxtaposition. The image data supplied to the 1st delay circuit are supplied to the 2nd delay switch SW2 and the 2nd delay circuit DL 2 at juxtaposition, where predetermined time delay is carried out. The delayed image data which were supplied to the 2nd delay circuit are supplied to the 3rd delay switch SW3, where predetermined time delay is carried out further. Moreover, ON/OFF is controlled by signal ϕ_{ID1} to which the 1st to 3rd delay switch which delay equipment has is outputted from an external control circuit, ϕ_{ID2} , and ϕ_{ID3} .

[0047] Actuation of the display shown in drawing 4 is explained using drawing 5. I-R, I-G, and I-B show the data supplied to delay equipment from an external device. The image data with which each RGB has two or more bits are inputted into juxtaposition for every dot. After sequential supply only of the number of dots connected to the 1 scanning line is carried out and supply for the 1 scanning line ends the data for every dot inputted, the blank period BLK is set and the following image data for the scanning line are supplied. The digital signal of the same gestalt as the indicating equipment of the 1st operation gestalt is inputted from an external device. The image data with which a certain scanning line is related are a part for $3n$ dot from 1 dot of R1, G1, and B1 to 1 dot (R_{3n} , G_{3n} , and B_{3n}) among drawing, and the image data of the following scanning line are a part for $3n$ dot from 1 dot of $R'1$, $G'1$, and $B'1$ to 1 dot (R'_{3n} , G'_{3n} , and B'_{3n}). The 1st delay switch controlled by signal ϕ_{ID1} is an ON state in the time of supply of the image data corresponding to the one scanning line being started, at i.e., the initiation time of 1 level period. An ON state is maintained until the image data supplied amount to the n -th dot. Therefore, the image data supplied pass the 1st delay switch while being supplied to the 1st delay circuit, and they are outputted to a drain driver via output terminal O-DLY of delay equipment. The image data outputted to a drain driver are the image data to the pixels $R1-R_n$ which display red, the image data to the pixels $G1-G_n$ which display green, and image data from the pixel G1 which displays blue to G_n .

[0048] On the other hand, the image data inputted from the exterior are outputted by the 1st delay circuit toward the 2nd delay switch like O-DL1 of drawing, where predetermined time delay is carried out. Therefore, the image data from the $n+1$ st dot are outputted to a drain driver by signal ϕ_{ID2}

through the 2nd delay switch by carrying out an ON state in the 2nd delay switch after the predetermined time progress for which the image data R_n , G_n , and B_n of the n -th dot passed the 1st delay switch. Here, it is necessary to control a period until it makes the 2nd delay switch into an ON state from the time of the n -th image data passing the 1st delay switch to become the same as the time delay of the 1st delay circuit. Of course, like the relation between signal $\phi D1$ of drawing, and $\phi D2$, when the n -th image data pass the 1st delay switch. Although it is good also considering the 1st delay switch as an OFF state, a drain driver should just make the 1st delay switch an OFF state, by the time it makes the 2nd delay switch into an ON state, in order that only allowances to incorporate the image data after the n -th image data may not have an input latch. Through the 2nd delay switch, a drain driver transmits the image data to the n -th dot incorporated one by one to the input latch through the 1st delay switch to a processing latch, before [$n+1$ st] an image entry of data is carried out. Then, with a DA converter, the image data for 3npixel from the 1st dot to the n -th dot currently held at the processing latch are changed into the video signal for supplying a pixel, and a drain driver supplies them to a drain bus line at the same time it is crowded input latch sequential picking in the image data from the $n+1$ st dot outputted through the 2nd delay switch.

[0049] On the other hand by the panel, the 1st switching circuit will be in an ON state with the signal $\phi 1$ which controls 3n switch of the 1st switching circuit before and after the standup of signal $\phi D2$ which controls the 2nd delay switch. Therefore, it is written in the pixel as which the video signal to the n -th dot is chosen from the 1st dot corresponding to the 1st display block supplied to the drain bus line from the drain driver by the scanning line within the 1st display block through the drain wire. The image data of 2n dot up to [from the $n+1$ st dot] of a period and the 1st delay circuit with which writing is performed to the pixel are written in the input latch of a drain driver one by one through the 2nd delay switch. Henceforth, like the above-mentioned procedure, when 2n dot image data pass the 2nd delay switch, henceforth makes the 1st switching circuit of a display panel an OFF state with a signal $\phi 1$, and the image data of 2n dot up to [from the $n+1$ st dot] incorporated by the input latch of a drain driver are transmitted to a processing latch. Let the 2nd switching circuit of a display panel be an ON state with a signal $\phi 2$ after making the 1st switching circuit into an OFF state. The video signal of 2n dot up to [from the $n+1$ st dot] changed by the DA converter of a drain driver is written in the pixel of the 2nd display block by this actuation. Of course, the pixel in which a video signal is written with the 2nd display block is a pixel which exists on the same scanning line as the pixel of the 1st display block with which the video signal was written in immediately before. Moreover, when delay equipment carries out predetermined time progress of the 2nd delay switch after 2n dot video signal passed, it makes the 3rd delay switch an ON state by signal $\phi D3$. Here, the above-mentioned predetermined time is the time amount equivalent to the time delay of the 2nd [to the 1st delay circuit] delay circuit. Thereby, from the 3rd delay switch, the image data of a $2n+1$ dot from are outputted to a drain driver among the image data which the 2nd delay circuit outputs. A drain driver incorporates the image data of the $2n+1$ dot from are outputted through the 3rd delay switch one by one to an input latch. The 3rd delay switch transmits the video signal of an input latch of a drain driver to a processing latch, after outputting 3n dot video signal. In advance of said transfer, the 2nd switching circuit of a display panel is made into an OFF state, and the 3rd switching circuit is changed to an ON state with a signal $\phi 3$. Then, delay equipment performs image data R' corresponding to the following scanning line which an external device outputs, and actuation with the same said of $G'1$ and $B'1$ to $R'3n$, $G'3n$, and $B'3n$. In addition, as for the time delay of the 1st delay circuit, it is desirable that it is $1/3$ of the blank time amount of the image data which an external device outputs. The same is said of the time delay of the 2nd delay circuit. Thereby, a drain driver can make the setup time $1/3$ of time amount of the blank time amount of an external device, and becomes easy [the timing control of a latch or a DA converter]. Furthermore, control becomes easy although it is necessary to perform actuation which was overdue by n dots also about selection of the scanning line, or control of the switching circuit of a display panel to the image data which an external device outputs.

[0050] Drawing 6 shows the display of the 3rd operation gestalt of this invention. Since it is similar with the 2nd operation gestalt, this operation gestalt is stated to the display panel PNL which constitutes a display focusing on difference with the 2nd operation gestalt. Although a viewing area DPA consists of three display blocks, the 1st display block BK1 and the 2nd display block BK2 which have n dots in the direction of the scanning line, respectively, and the 3rd display block BK3, in this indicating equipment, a part of block has lapped with other blocks in part, it doubled with it and a part of switching-circuit corresponding to each display block has also lapped. Since the 1st display block and the 2nd display block are piled up by 2 dots, specifically, pixel PR_{n-1} and PR_n belonging to the 1st display block belong also to the 2nd display block. Moreover, through switch SR_{n-1} contained in the drain wire connected to pixel PR_{n-1} in the 1st switching circuit, it connects with wiring BR_{n-1} of a drain bus line, and connects with the wiring BR_1 of a drain bus line through switch SR_{n-1}' contained in the 2nd switching circuit further. It connects with wiring BR_2 through switch SR_n' which is connected to Wiring BR_n through the switch SR_n included similarly in the 1st switching circuit also about the pixel PR_n shared between the 1st display block and the 2nd display block, and is contained in the 2nd switching circuit. Although drawing 6 shows only the drain wire corresponding to the pixel which displays red, and wiring of a switch and a drain bus line, as the previous operation gestalt also showed, the drain wire corresponding to the pixel which displays green, and the pixel which displays blue, and wiring of a switch and a drain bus line exist similarly. $3n$ switch belonging to the 1st switching circuit containing switch SR_{n-1} and SR_n is controlled by the signal ϕ_1 , and $3n$ switch belonging to the 2nd switching circuit containing switch SR_{n-1}' and SR_n' is controlled by the signal ϕ_2 . Although omitted in illustration, in order to make it superimpose by 2 dots also about the 2nd display block and the 3rd display block, it becomes being the same as that of an above-mentioned configuration. By the above, with the display of drawing 6, the number of pixels which $3n - 4$ dots are formed in the one scanning line, and is formed in the one scanning line will be 3 times $3n - 4$, and the switching circuit corresponding to each display block becomes $3n$ piece, and the number of wiring of a drain bus line also becomes $[3n]$.

[0051] $3n$ wiring of a drain bus line is connected to a drain driver through $3n$ terminal formed on the display panel. The drain driver is formed on one semiconductor chip, the semiconductor chip is stuck on the display panel with the anisotropy **** sheet etc., and image data are inputted as a digital signal from an external device. The inputted image data are transmitted to a latch circuit LTC through two delay circuits DL1 and DL2 or three delay switches SW1, SW2, and SW3, and DA converter DAC which carries out the DA translation of the image data held at the latch circuit (an input latch and processing latch), and supplies a video signal to a drain bus line is formed. The actuation as what was shown with the 2nd operation gestalt with same delay circuit, delay switch, latch circuit, and DA converter of this operation gestalt is performed. Furthermore, the control circuit TC which outputs a delay switch, a latch circuit, the signal that controls a DA converter, the signal which controls the 1st to 3rd switching circuit of a display panel, and the signal which controls a drain driver is built in the drain driver formed on this one semiconductor chip. above — it becomes possible by superimposing what and a display block to control dispersion in the display during a display block. Furthermore, it becomes possible to reduce the number of components which constitutes a display from incorporating a delay circuit in a drain driver.

[0052] Of course, you may be the configuration which forms this semiconductor chip on the wiring substrate of flexibility, and is connected to a display panel through a flexibility substrate. Moreover, although the display panel is divided into three display blocks also with this operation gestalt, it is satisfactory even if it is also two division in consideration of the property of the property of a drain driver, and the switching circuit of a display panel, cost, etc., and it is more than quadrisection. Moreover, it is also possible to arrange two or more three display blocks of this operation gestalt in a longitudinal direction, and to constitute a display panel. in this case, the thing for which the complicated design of an external delay circuit is not needed, but the display of many forms is supplied by low cost by forming one external delay equipment in two or more drain drivers by forming a delay circuit on the semiconductor chip in which the drain driver was formed — ** — it becomes. Furthermore, since said

effectiveness is heightened, it is also possible to set up the timing of the signal which controls the time delay of each delay circuit, the signal which controls a delay switch, a DA converter, and a latch circuit, the timing of the signal which controls the switching circuit of a display panel; etc. from the outside of a semiconductor chip. In this case, it is also possible to supply the data for performing said setup from an image data input terminal, a video-signal output terminal, etc. of a drain driver, to prepare the register which consists of nonvolatile memory holding said supplied data or volatile memory, to process the data held by the internal processing circuit at said register, and to set up said time delay, timing, etc. Of course, application to the 2nd delay equipment and drain driver of an operation gestalt is also possible for a setup of a time delay or timing shown here.

[0053] Drawing 7 shows image data and the signal wave form of an about [each part of this operation gestalt]. With the operation gestalt of drawing 6 , since the dot during a display block is superimposed, it differs from the image data of the 2nd operation gestalt, or a signal wave form a little. That is, in order to always keep constant the image data transfer time amount to the processing latch from an input latch of a drain driver, i.e., the setup time, as for a period until the last image data which should be inputted into an input latch pass a predetermined delay switch and make the following delay switch an ON state, it is desirable like the 2nd operation gestalt that it is the period which divided the blank time amount of 1 level period into three equally. Therefore, what is necessary is just to let the time delay of a delay circuit be the period which added the period which multiplied by the number of dots which an external device is between blocks and superimposes on the period which outputs 1 dot at one period which divided the blank period into three equally. Moreover, although the configuration which supplies the image data for 2 dots from an external device to a drain driver exists conventionally, when connecting such an external device to this indicating equipment, in delay equipment, it can respond by considering as the configuration which prepares a delay circuit for every dot.

[0054] Drawing 8 shows the display of the 4th operation gestalt of this invention. The viewing area DPA is divided into BK5 from five display blocks BK1, and between blocks is made to superimpose by 2 dots like the 3rd operation gestalt in this indicating equipment. Furthermore, the drain wire of each display block is connected to the drain bus line through the switching circuit, and, as for each switching circuit, ON/OFF is controlled by the control signal. Specifically in the 1st display block BK1, n dots, i.e., $3n$ pixel, are formed at the one scanning line. By a diagram, one pixel PX is shown. $3n$ drain wire connected to each pixel within the 1st display block is connected to the 1st switching circuit out of a viewing area. Each switching circuit has $3n$ switch, and $3n$ drain wire is connected to one terminal of $3n$ switch, respectively. Although drawing shows only the switch SR 1 connected to the drain wire connected to the pixel of the 1st, the n -2nd, and the n -th red, and its drain wire like the above-mentioned operation gestalt, SR n -2, and SR n , each drain wire and switch are adjoined and the drain wire and switch corresponding to the pixel which displays green, and the pixel which displays blue are formed. The other-end child of $3n$ switch of the 1st switching circuit is connected to $3n$ wiring of a drain bus line, respectively, and, as for $3n$ switch, ON/OFF is controlled by the control signal phi 1. Moreover, n dots from the n -1st connected to the one scanning line to the $2n - 2$ nd, i.e., $3n$ pixel, are contained in the 2nd display block, and each pixel is connected to one terminal of $3n$ switch which constitutes the 1st switching circuit through a drain wire. Switch SR n ' connected to the drain wire connected to the pixel which displays the n -th and $2n - 3$ rd red by a diagram, and its drain wire, and SR $2n-3$ are shown. The other-end child of $3n$ switch included in the 2nd switching circuit is connected to $3n$ drain bus line like the switch of the 1st switching circuit. However, as for the switch of the 2nd switching circuit, ON/OFF is controlled by the signal phi 2. Here, the switch included in the 1st switching circuit and the switch included in the 2nd switching circuit are connected to the pixel to superimpose like the previous operation gestalt, and the 1st display block and the 2nd display block are connected to wiring with which drain bus lines differ through each switch, dots [2], i.e., since it superimposes by 3 pixels. The above-mentioned configuration is repeatedly formed also about the 3rd display block, the 4th display block, and the 5th display block. However, the 3rd switching circuit corresponding to the 3rd display block is

controlled by the signal phi 3, the 4th switching circuit corresponding to the 4th display block is controlled by the signal phi 3, and the 5th switching circuit corresponding to the 5th display block is controlled by the signal phi 5. With this operation gestalt, the number of dots formed in the one scanning line of a display panel becomes $5n - 8$ pieces, and the pixel of $3 \times (5n - 8)$ individual will be formed in the 1 scanning line.

[0055] The 1st driver switch S6 and the 2nd driver switch S7 are connected to juxtaposition, it connects with the 1st drain driver DRV1 through the 1st driver switch, and each wiring is connected to each wiring of a drain bus line through the 2nd driver switch at the 2nd drain driver DRV2. Although two drain drivers have composition directly stuck on a display panel, it does not necessarily restrict especially, and you may be the configuration connected through the wiring substrate which has flexibility, and it may be directly formed on a substrate of low-temperature polish recon etc. Image data are supplied to juxtaposition as a digital signal at two drain drivers. Furthermore, the control which controls the signal which controls the gate driver which drives the scanning line, the switching circuit which were established in the display block, and a drain switch may be the configuration which also outputs the signal which has not necessarily restricted especially and controls a gate driver, a switching circuit, and a drain switch from an external control circuit, although the external control circuit TCON which is supplied from the 1st drain driver and which supplies the signal which controls a drain driver is formed. Moreover, the signal which controls a drain switch may be a configuration which supplies from an external control circuit, supplies the signal which controls the 1st switching circuit, 3rd switching circuit, and 5th switching circuit from the 1st drain driver, and supplies the signal which controls the 2nd switching circuit and 4th switching circuit from the 2nd drain driver.

[0056] Drawing 9 shows the detail of the 1st drain driver of drawing 8. The drain driver shown here is formed on a single semiconductor chip. The image data for every dot are inputted into the 1st drain driver. This image data is the same as that of what was shown with the previous operation gestalt, and is a digital signal whose each of RGB is two or more bits. This image data is supplied to juxtaposition also at the 2nd drain driver of drawing 8. The image data supplied from an external device are inputted into the input latch in Latch LTC through a terminal. After input latch's image data are transmitted to a processing latch and change processing latch's digital data into analog data from an input latch in a DA converter based on the signal supplied from the built-in control circuit TC in a drain driver, they are supplied to a display panel through an external terminal. A built-in control circuit outputs the signal which controls the timing of Latch's LTC data transfer, or the output of a DA converter based on the signal inputted from the external control circuit of drawing 8 through the control signal input terminal IT. Moreover, a built-in control circuit outputs the signal which controls the gate driver of a display panel, a switching circuit, a driver switch, etc. through the control signal output terminal OT. In addition, illustration is omitted about reference voltage for a DA converter to generate the video signal of an analog by a diagram.

[0057] Drawing 10 shows the timing of the signal in the 4th operation gestalt shown by drawing 8 and drawing 9, or data. The image data corresponding to the pixel of RGB are supplied to juxtaposition by 1 dot from an external device like the operation gestalt previously shown in two drain drivers. INP of drawing 10 shows the data supplied from an external device. The image data from the 1st dot prepared in the one scanning line to the n -th are inputted, and $5n - 8$ the 8th dot is inputted by $4n - 6$ the 6th dot and t_5 by $3n - 4$ the 4th dot and t_4 by $2n - 2$ the 2nd dot and t_3 by t_2 after that at the period from time of day t_0 to time of day t_1 . After passing through the blank periods BLK from t_5 to t_6 , from time of day t_6 , the image data corresponding to the following scanning line are inputted. The 1st drain driver incorporates the image data supplied at the periods from t_0 to t_1 to an internal input latch. That is, the image data for $3n$ pixel from the 1st dot to the n -th dot are incorporated. The 2nd drain driver incorporates the image data from the $n - 1$ st [of time of day t_1] of the image data which start actuation from before for a while, and are supplied from an external device to the $2n - 2$ nd to an input latch. In time of day t_1 , the 1st drain driver transmits input latch's image data to a processing latch, after

incorporating the image data of the n -th dot. The image data transmitted to the processing latch are changed into the video signal of an analog by the DA converter, and are outputted to the output terminal of a drain driver by it. SU of drawing 10 is the setup time until it transmits image data to a processing latch from an input latch and a DA translation is completed.

[0058] It doubles with the 1st drain driver outputting the video signal for $3n$ pixel from the 1st dot to the n -th dot, and let the 1st driver switch S6 on a display panel, and the 1st switching circuit controlled by the signal ϕ_1 be ON states. Thereby, the video signal for the $3n$ piece pixel of a drain driver is supplied to $3n$ drain wire of the 1st display block through the 1st driver switch, drain bus line, and 1st switching circuit, respectively, and is written in a corresponding pixel. Moreover, after the image data of $2n$ — the 2nd dot are written in the input latch of the 2nd drain driver and the image data for n dots are written in the input latch of the 2nd drain driver, the image data of an input latch of the 2nd drain driver are transmitted to a processing latch to the timing of t_2 . The data held by the processing latch are changed into a video signal with a DA converter. After only the setup time passes since t_2 , although the video signal generated by the 2nd drain driver is outputted as output DRV2-OUT of a drain driver, it needs to make an OFF state the 1st switching circuit and the 1st driver switch before the output. It doubles with the 2nd drain driver outputting the video signal corresponding to the 2nd display block after setup-time progress from t_2 , the 2nd driver switch and 2nd switching circuit are made into an ON state, and the output of the 2nd drain driver is written in the pixel of the 2nd display block. Furthermore, the video signal of the dot from the $2n$ — 3rd corresponding to [the 1st drain driver starts actuation again from before for a while, and] the 3rd display block of t_2 is incorporated to an input latch. The above actuation is performed by five display blocks, processing with the same said of the image data corresponding to the following scanning line is performed after blank time amount progress, and the image data for $5n$ — 8 dots supplied from an external device are written in the pixel from the 1st display block to the 5th display block in operating two drivers by turns. since the superposition during a display block is performed with this operation gestalt — a small portion of t_1 — what is necessary is just to determine the timing of initiation of the 2nd drain driver of operation according to the number of dots of the superposition during a display block, although the data to the input latch of the 2nd drain driver from before are incorporated In above-mentioned explanation, the period which writes in a video signal by the 5th display block from the 1st display block, and the corresponding scanning line maintain a selection condition.

[0059] In addition, although this operation gestalt has indicated that it is made to operate to the same timing as the switching circuit between a driver switch, and a drain wire and a drain bus line, in order to make the potential of a video signal fully charge not this limitation but a drain bus line, you may bring forward rather than the timing to which a switching circuit turns on the timing which a driver switch turns on. Moreover, you may be the configuration controlled to delay the timing which makes a switching circuit an OFF state rather than the timing from which a driver switch will be in an OFF state. Moreover, the period when a switching circuit and a drain switch will be in an OFF state, and the precharge circuit which makes between wiring of a drain bus line a short circuit condition may be prepared. Thereby, the thing of a gradation electrical potential difference mostly brought to a core becomes possible about the potential of each wiring of a drain bus line, and it becomes possible to write the following video signal in a high-speed. When performing dot reversal, you may be the configuration of preparing the precharge circuit which short-circuits separately the odd-numbered wiring of a drain bus line, and the even-numbered wiring. Furthermore, with this operation gestalt, in order to separate the period when one drain driver is operating, and other drain drivers from a drain bus line, it is considering as the drain switch and the prepared configuration, but in order to simplify the configuration on a display panel, you may be the configuration of not forming a drain switch but connecting two drain drivers to a direct drain bus line. In this case, it is necessary to control the DA converter of drain drivers other than the drain driver which is outputting the video signal written in a pixel in the condition of not outputting. Moreover, although the video signal written in the 1st, 3rd, and 5th display block is always generated by the 1st

drain driver and the 2nd drain driver is generating the video signal written in the 2nd and 4th display block with this operation gestalt, since the load of a drain driver is made into homogeneity, it is also possible to change the sequence of a drain driver of operation for every scanning line. Of course, it is also possible to make it other odd number or even number in the range which the number of display blocks is not limited to five, and does not deviate from the thought of this invention. Moreover, it is adjusting the timing which changes the scanning line to an OFF state about the display block which exists most in right-hand side, and it is also possible to delete the switching circuit corresponding to this display block.

[0060] Drawing 11 shows the 5th operation gestalt of this invention. The viewing area DPA is divided into six display blocks in this indicating equipment. Two or more drain wires within the 1st display block are connected to the 1st drain bus line prepared in the display-panel upper part through the 1st switching circuit S1 established in the upper part of a display panel. Furthermore, the drain wire within the 3rd display block BK3 and the drain wire within the 5th display block BK5 are connected to the 1st drain bus line through the 3rd switching circuit and 5th switching circuit which are established in the display-panel upper part. Moreover, the drain wire within the 2nd display block BK2, the drain wire within the 4th display block BK4, and the drain wire within the 6th display block BK6 are connected to the 2nd drain bus line prepared in the display-panel lower part through the 2nd switching circuit, 4th switching circuit, and 6th switching circuit which are established in the display-panel lower part. It connects with the 1st drain driver DRV1 prepared in the display-panel transverse part, and the 1st drain bus line is connected to the 2nd drain driver DRV2 by which the 2nd drain bus line is also prepared in the display-panel transverse part. The image data supplied by considering as a digital signal from the outside of an indicating equipment are inputted into the 1st drain driver and the 2nd drain driver. Also in this operation gestalt, it is between blocks, and in order to share several dots, the drain wire of the part which a display block superimposes is connected to the 2nd drain bus line through the switch formed in the display-panel lower part while connecting with the 1st drain bus line through the switch formed in the display-panel upper part. Specifically, the drain wire of the part which the 1st display block and the 2nd display block superimpose is connected to the 2nd drain bus line through the switch included in the 2nd switching circuit while connecting with the 1st drain bus line through the switch included in the 1st switching circuit. ON/OFF is controlled by the signal phi 1 by which two or more switches which constitute the 1st switching circuit of the display-panel upper part are outputted from the 1st drain driver. Also about the 3rd switching circuit and the 5th switching circuit, it is controlled by the signals phi3 and phi5 outputted from the 1st drain driver. Moreover, ON/OFF is controlled by the signal phi 2 with which the 2nd switching circuit where it is formed in the display-panel lower part, the 4th switching circuit, and the 6th switching circuit are outputted from the 2nd drain driver, and 4 and phi6. Moreover, the signal which controls the signal which controls two drain drivers, and the gate driver which controls the scanning line formed in the viewing area is supplied from the external control circuit TCON prepared out of the display panel.

[0061] With this operation gestalt, the number of dots connected to the 1 scanning line within each display block is set to n , and the number of dots connected to the 1 scanning line with the whole display panel makes $6n-10$, i.e., the number of pixels, $3 * (6n-10)$. Therefore, each of the drain bus line in which the number of the drain wires of each display block is $[3n]$, and a display panel is formed up and down will have $3n$ wiring. However, it is also possible to change the throughput of the 1st drain driver and the 2nd drain driver, and to change the 1st, the 3rd, the number of the drain wires belonging to the 5th display block, the 2nd, the 4th, and the number of the drain wires belonging to the 6th display block. It becomes possible to make large one occupancy area of an up-and-down drain bus line, and to narrow occupancy area of another side by this. Moreover, although the signal which controls a switching circuit is outputted from each drain driver, the configuration outputted from one drain driver may be used, and you may be the configuration controlled by the external control circuit. Moreover, with this operation gestalt, you may be the configuration which is a display panel about two drain bus lines and which is

prepared in parallel with one of up-and-down although arranged up and down. Of course, you may be division into odd pieces like not the thing limited to the configuration which establishes six display blocks but the division into even other than six, or a previous operation gestalt. Moreover, you may be the configuration of arranging the configuration of this operation gestalt in two longitudinal directions, and preparing four drain bus lines and four drain drivers.

[0062] Drawing 12 shows the signal of the operation gestalt shown by drawing 11, and the timing of data. The greatest difference from drawing 10 is a period which the switching circuit established in a display block turns on. The period which is writing in the video signal to the pixel of the 2nd display block is also performed, and after time of day t_3 , the writing of the video signal to the pixel within the 1st display block is continued until the writing of a video signal to the pixel of the 3rd display block is started. With the operation gestalt shown by drawing 11 and drawing 12, in order to prepare two drain bus lines, compared with the 4th operation gestalt, allowances arise in the write-in time amount of the video signal to a pixel. With this operation gestalt, although the expression of the display-panel upper part, the lower part, etc. is used, the direction where the scanning line has extended to the last is considered as right and left, and the direction which counters it is only considered as the upper and lower sides.

[0063] With the 4th above-mentioned operation gestalt and the 5th operation gestalt, each switch in the switching circuit established in a display block is the thin film transistor formed with polycrystalline silicon. Although the configuration which sticks what was formed on the semiconductor chip on a direct presentation panel about a drain driver is assumed, you may be the configuration which sticks on the substrate which is not necessarily restricted especially, and may form with polycrystalline silicon on a display panel as well as a switching circuit, and has flexibility, and is connected to a display panel. Moreover, wiring which constitutes a drain bus line and a drain bus line is language uniquely used on these specifications, and can also be called under the name of others in the range which does not deviate from the thought of this specification. Moreover, with this operation gestalt, although each display block is putting together two or more adjoining dots, it is not restricted especially. For example, you may be the configuration of considering the dot of the 1st [+] multiple of 6 as the 1st display block, considering the dot of the 2nd [+] multiple of 6 as the 2nd display block, and establishing the block of six convenience. Moreover, the configuration of performing actuation which supplied to one drain driver about one dot, supplied to the drain driver of another side about the dot of another side to compensate for the configuration which outputs the image data for 2 dots to juxtaposition, and was shown with the above-mentioned operation gestalt by each drain driver is sufficient as an external device.

[0064] In the operation gestalt shown above, the thin film transistor which the pixel formed in the viewing area has, and the thin film transistor which the gate driver currently formed around the viewing area has and which is not illustrated are formed with polycrystalline silicon. It forms by the thin film transistor which also formed the switch which constitutes the switching circuit in which similarly it is formed around a viewing area and formed between the drain wire and the drain driver with polycrystalline silicon. Although it does not restrict especially, it is also possible to consider as the configuration which changed the property of the thin film transistor formed between the property of the thin film transistor in a viewing area, and the thin film transistor besides a viewing area, for example, a drain-wire, and a drain driver. By making mobility of the electron of the thin film transistor in a pixel smaller than the mobility of the electron of the thin film transistor of the viewing-area circumference, leak is controlled in the thin film transistor of a pixel, and the thin film transistor of the viewing-area circumference enables it to raise a working speed. You may be the configuration of similarly having changed the property of the thin film transistor which constitutes a gate driver, the property of the thin film transistor in a pixel, or the property of the thin film transistor between a drain wire and a drain driver. In addition, polycrystalline silicon has silicon crystallized rather than the amorphous silicon at least, and also contains the infinite silicon near a single crystal. Furthermore, the single crystal silicon directly formed on the display panel is not eliminated positively. Moreover, although the gate driver is

made two right and left of the viewing-area circumference with the above-mentioned operation gestalt, the configuration of it not being necessary to operate a gate driver on either side to coincidence, and operating a gate driver on either side by turns for every scanning line may be used. By making it this configuration, it becomes possible to make the working speed of a gate driver late, and tolerance arises in a design or manufacture of a gate driver. Of course, you may be not the thing limited to the drive for every one scanning line but the configuration of making it operating by turns for every two or more scanning lines. moreover, the case where a problem occurs in a gate driver temporarily [suppose that it is fundamentally used even if it forms a gate driver in two right and left of the viewing-area circumference, and / while] — the gate driver of another side — use — it is good also as a configuration [like]. Even if un-arranging arises in a gate driver by considering as such a configuration at the time of manufacture and assembly shipment, the yield of a product improves by using the gate driver of another side. moreover, a gate driver is needed conventionally — it is satisfactory even if it is the configuration which formed on the semiconductor chip of single crystal silicon, and was directly stuck on the display panel, or the configuration which sticks the semiconductor chip with which the gate driver was formed on the substrate which has flexibility like a tape career package, and is connected to a display panel. Moreover, when forming a drain driver on a display panel by the thin film transistor which used polycrystalline silicon, it is also possible to consider as the configuration which does not need to form all the drain drivers by the thin film transistor which used polycrystalline silicon, and forms only a DA converter by the polycrystalline silicon thin film transistor. Moreover, although the above operation gestalt has indicated the image data supplied from the outside as digital data, you may be the configuration that analog data is supplied. In that case, it becomes the configuration of having formed the equipment which changes analog data into digital data in the preceding paragraph of a drain driver. Moreover, application to various displays including the display organic / inorganic [EL] which used the electroluminescent element is possible for the display of the above-mentioned implementation gestalt not to mention application to the liquid crystal display which used liquid crystal. The type which displays about a liquid crystal display by generating electric field the pixel electrode formed on one insulating substrate, the counterelectrode formed on the insulating substrate of another side which counters through a liquid crystal layer, and in between, and driving liquid crystal, A pixel electrode and a counterelectrode are formed on one insulating substrate, and although the type called the so-called IPS (inch-planeswitching) which drives liquid crystal using horizontal electric field exists, the configuration of this invention and thought are applicable to any liquid crystal display of a type.

[0065]

[Effect of the Invention] By preparing a switching circuit between the drain wire of an indicating equipment, and a drain driver, and driving a drain driver by time sharing, compared with the former, the number of drain drivers is decreased and the indicating equipment which reduced components cost becomes possible.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The circuit diagram showing the display of the 1st operation gestalt of this invention.

[Drawing 2] The block diagram showing the drain driver of the 1st operation gestalt of this invention.

[Drawing 3] The timing chart of the 1st operation gestalt of this invention.

[Drawing 4] The circuit diagram showing the display of the 2nd operation gestalt of this invention.

[Drawing 5] The timing chart of the 2nd operation gestalt of this invention.

[Drawing 6] The circuit diagram showing the display of the 3rd operation gestalt of this invention.

[Drawing 7] The timing chart of the 3rd operation gestalt of this invention.

[Drawing 8] The circuit diagram showing the display of the 4th operation gestalt of this invention.

[Drawing 9] The block diagram showing the drain driver of the 4th operation gestalt of this invention.

[Drawing 10] The timing chart of the 4th operation gestalt of this invention.

[Drawing 11] The circuit diagram showing the display of the 5th operation gestalt of this invention.

[Drawing 12] The timing chart of the 5th operation gestalt of this invention.

[Drawing 13] The circuit diagram showing the conventional display.

[Drawing 14] The timing chart of the conventional display.

[Drawing 15] The block diagram showing the drain driver of the conventional indicating equipment.

[Drawing 16] The circuit diagram showing the conventional display.

[Drawing 17] The timing chart of the conventional display.

[Description of Notations]

PNL: — a display panel, a DPA: viewing area, a VSR: gate driver, GL: scanning line, and DL: — a drain wire, a DRV: drain driver, a DAC: DA converter, a P-LTC: processing latch, and an I-LTC: input latch

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-177722

(P2003-177722A)

(43) 公開日 平成15年6月27日 (2003.6.27)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 F 5 C 0 8 0
	6 2 1		6 2 1 M
	6 2 3		6 2 3 D

審査請求 未請求 請求項の数33 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2001-376587 (P2001-376587)

(22) 出願日 平成13年12月11日 (2001. 12. 11)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 宮沢 敏夫

千葉県茂原市早野3300番地 株式会社日立

製作所ディスプレイグループ内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

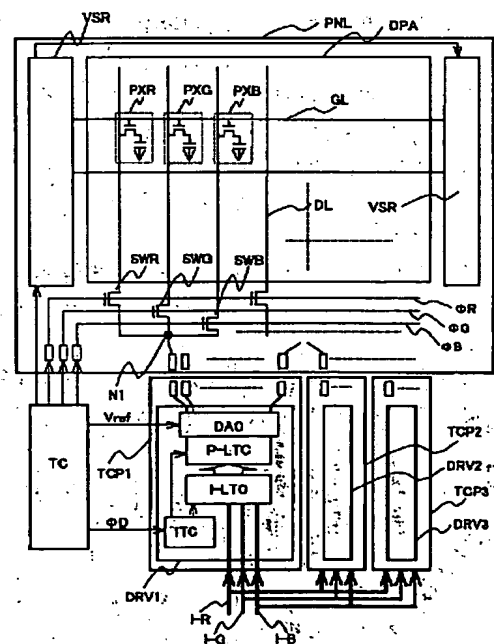
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 部品点数を少なくし、低コストの表示装置を実現する。

【解決手段】 複数グループに分割した表示装置に接続する駆動回路内に追加のラッチ回路を設けたり、ディレイ回路を設ける構成、。或いは表示装置内に映像信号線バスラインを設けること構成とすることで、ドレインドライバの駆動能力を向上させる。

図1



(2)

【特許請求の範囲】

【請求項1】複数の走査線と、

第1のドレイン線と、

第2のドレイン線と、

第3のドレイン線と、

前記複数の走査線とそれぞれの前記ドレイン線とに接続された薄膜トランジスタを有する複数の画素と、

前記第1のドレイン線に第1の端子が接続され、第1の制御信号で制御される第1のスイッチと、

前記第2のドレイン線に第1の端子が接続され、第2の制御信号で制御される第2のスイッチと、

前記第3のドレイン線に第1の端子が接続され、第3の制御信号で制御される第3のスイッチと、

前記第1のスイッチの第2の端子と、前記第2のスイッチの第2の端子と、前記第3のスイッチの第3の端子と

が共通に接続されたノードと、

前記ノードに映像信号を供給するドレインドライバとを有する表示装置であって、

前記ドレインドライバには、前記第1のドレイン線に供給される映像信号に対応する第1のデジタルデータと、前記第2のドレイン線に供給される映像信号に対応する第2のデジタルデータと、前記第3のドレイン線に供給される映像信号に対応する第3のデジタルデータとが並列に入力されることを特徴とする表示装置。

【請求項2】前記ドレインドライバは、前記第1のデジタルデータを保持して第4の制御信号で制御される第1のラッチと、前記第2のデジタルデータを保持して第5の制御信号で制御される第2のラッチと、前記第3のデジタルデータを保持して第6の制御信号で制御される第3のラッチとを有することを特徴とする請求項1記載の表示装置。

【請求項3】前記第1のドレイン線は赤を表示する映像信号を画素に供給し、前記第2のドレイン線は緑を表示する映像信号を画素に供給し、前記第3のドレイン線は青を表示する映像信号を画素に供給することを特徴とする請求項1又は2記載の表示装置。

【請求項4】前記第1から第3のスイッチは、表示装置の絶縁性基板上に形成された多結晶シリコンの薄膜トランジスタであり、

前記ドレインドライバは、単一の半導体チップ上に形成されたものであることを特徴とする請求項3記載の表示装置。

【請求項5】前記半導体チップは、前記絶縁性基板上に貼り付けられていることを特徴とする請求項4記載の表示装置。

【請求項6】前記ドレインドライバは前記第1から第3のラッチと前記第1から第3のスイッチとの間にDA変換器を有しており、

前記DA変換器は、前記絶縁基板上に形成された薄膜トランジスタにより形成されたスイッチング素子を有する

ごとを特徴とする請求項3記載の表示装置。

【請求項7】走査線と、

赤を表示する画素に接続されたn本のドレイン線と、

前記赤を表示する画素に隣接して形成された緑を表示する画素に接続されたn本のドレイン線と、

前記緑を表示する画素に隣接して形成された青を表示する画素に接続されたn本のドレイン線と、

前記赤を表示する画素に接続されたドレイン線と、前記緑を表示する画素に接続されたドレイン線と、

前記青を表示する画素に接続されたドレイン線とが、それぞれスイッチを介して接続されたn個のノードと、

前記ノードに接続されたDA変換器と、

前記DA変換器に接続され、3n個の画素分のデジタル映像データを保持する処理ラッチと、

前記処理ラッチに接続され、3n個の画素分のデジタル映像データを保持する入力ラッチとを有することを特徴とする表示装置。

【請求項8】前記DA変換器は3n個のDA変換回路から構成され、

前記入力ラッチには、赤を表示する画素の映像データと、緑を表示する画素の映像データと、青を表示する画素の映像データとが並列に入力されることを特徴とする請求項7記載の表示装置。

【請求項9】前記DA変換器は、処理ラッチから時分割で供給される映像データをDA変換するn個のDA変換回路から構成され、

前記入力ラッチには、赤を表示する画素の映像データと、緑を表示する画素の映像データと、青を表示する画素の映像データとが並列に入力されることを特徴とする請求項7記載の表示装置。

【請求項10】前記スイッチは、絶縁性基板上に形成された多結晶シリコンの薄膜トランジスタであり、

前記DA変換器と前記処理ラッチと前記入力ラッチとは、単結晶の半導体基板上に形成されていることを特徴とする請求項8又は9記載の表示装置。

【請求項11】前記スイッチと、前記DA変換器と、前記処理ラッチと、前記入力ラッチとは、絶縁基板上に形成された多結晶シリコンの薄膜トランジスタを有することを特徴とする請求項8又は9記載の表示装置。

【請求項12】複数の画素を有する第1の表示ブロックと、

複数の画素を有する第2の表示ブロックと、

前記第1の表示ブロック内のドレイン線と前記第2の表示ブロック内のドレイン線とに接続されたドレインバスラインと、

前記ドレインバスラインに接続されたDA変換器と、

前記DA変換器に接続されたラッチと、

前記ラッチに接続されたディレイ装置とを有する表示装置であって、

前記ディレイ装置は、デジタルの映像データが入力さ

(3)

3

れる入力端子と、前記入力端子入力に接続された第1のスイッチ回路と、前記入力端子に接続されたディレイ回路と、前記ディレイ回路の出力に接続された第2のスイッチ回路と、前記第1のスイッチ回路と前記第2のスイッチ回路とに接続された出力端子とを有することを特徴とする表示装置。

【請求項13】前記第1の表示ブロック内のドレイン線と前記ドレインバスラインとの間には、第1の制御信号で制御されるスイッチング回路を有することを特徴とする請求項12記載の表示装置。

【請求項14】前記第2の表示ブロック内のドレイン線と前記ドレインバスラインとの間には、第2の制御信号で制御されるスイッチング回路を有することを特徴とする請求項13記載の表示装置。

【請求項15】前記ドレイン線と前記ドレインバスラインとの間の前記スイッチング回路は、多結晶シリコンで形成された薄膜トランジスタであることを特徴とする請求項13又は14記載の表示装置。

【請求項16】前記ディレイ装置は、単一の半導体チップ上に形成されたものであることを特徴とする請求項12乃至15の何れかに記載の表示装置。

【請求項17】前記ディレイ装置と前記ラッチと前記DA変換器とは、単一の半導体チップ上に形成されたものであることを特徴とする請求項12乃至15の何れかに記載の表示装置。

【請求項18】前記第1の表示ブロック内の複数本のドレイン線は、前記第2の表示ブロックにも属することを特徴とする請求項12乃至17の何れかに記載の表示装置。

【請求項19】走査線と、
ドレイン線と、
前記走査線と前記ドレイン線とに接続された薄膜トランジスタを有する画素と、
ドレインバスラインと、
前記ドレイン線と前記ドレインバスラインとの間に設けられた第1のスイッチング素子と、
前記ドレインバスラインに接続された第1のドレインドライバと、
前記ドレインバスラインに接続された第2のドレインドライバとを有することを特徴とする表示装置。

【請求項20】前記第1のスイッチング素子は多結晶シリコンで形成された薄膜トランジスタであることを特徴とする請求項19記載の表示装置。

【請求項21】m個の表示ブロックと、
前記m個の表示ブロックに共通に設けられた走査線と、
前記各表示ブロックのドレイン線に設けられたm個のスイッチング回路と、
前記m個のスイッチング回路に接続されたドレインバスラインと、
前記ドレインバスラインに接続されたk個のドレインド

4

ライバとを有することを特徴とする表示装置。

【請求項22】前記ドレインバスラインと前記各ドレインドライバとの間には、k個のドレインスイッチを有することを特徴とする請求項21記載の表示装置。

【請求項23】前記各表示ブロックは3n本の前記ドレイン線を有し、

前記各表示ブロックに設けられたスイッチング回路は、前記3n本のドレイン線にそれぞれ接続された3n個のスイッチを有し、

10 前記ドレインバスラインは前記3n個のスイッチに接続された3n本のバスライン配線を有し、
前記k個のドレインスイッチのそれぞれは3n個のスイッチを有することを特徴とする請求項22記載の表示装置。

【請求項24】前記スイッチング回路が有するスイッチは、多結晶シリコンで形成された薄膜トランジスタであることを特徴とする請求項21記載の表示装置。

【請求項25】前記ドレインスイッチが有する前記スイッチは、多結晶シリコンで形成された薄膜トランジスタであることを特徴とする請求項23記載の表示装置。

20 【請求項26】前記m個の表示ブロックの内の1つの表示ブロックと、前記1つの表示ブロックと隣接する表示ブロックとは、一部重畳することを特徴とする請求項21乃至25の何れかに記載の表示装置。

【請求項27】画素が設けられた第1のドレイン線と、画素が設けられた第2のドレイン線と、
第1のドレインバスラインと、
第2のドレインバスラインと、
前記第1のドレイン線と前記第1のドレインバスラインとの間に設けられた第1のスイッチと、
30 前記第2のドレイン線と前記第2のドレインバスラインとの間に設けられた第2のスイッチと、
前記第1のドレインバスラインに接続された第1のドレインドライバと、
前記第2のドレインバスラインに接続された第2のドレインドライバとを有することを特徴とする表示装置。

【請求項28】前記第1のスイッチと前記第2のスイッチとは、多結晶シリコンで形成された薄膜トランジスタであることを特徴とする請求項27記載の表示装置。

40 【請求項29】前記第1のドレインバスラインは、前記画素を有する表示領域の一方の辺に沿って形成され、前記第2のドレインバスラインは、前記表示領域の前記一方の辺に対向する他方の辺に沿って形成されていることを特徴とする請求項27又は28記載の表示装置。

【請求項30】p個の表示ブロックと、
r個の表示ブロックと、
前記p個の表示ブロックと前記p個の表示ブロックに共通に設けられた走査線と、
前記p個の表示ブロックのそれぞれに設けられたp個の
50 スwitchング回路と、

(4)

5

前記 r 個の表示ブロックのそれぞれに設けられた r 個のスイッチング回路と、
 前記 p 個のスイッチング回路に共通に接続された第1のドレインバスラインと、
 前記 r 個のスイッチング回路に共通に接続された第2のドレインバスラインと、
 前記第1のドレインバスラインに接続された第1のドレインドライバと、
 前記第2のドレインバスラインに接続された第2のドレインドライバとを有することを特徴とする表示装置。

【請求項31】前記 p 個の表示ブロックの内の一つの表示ブロックは $3n$ 本のドレインを有し、
 前記一つの表示ブロックに設けられたスイッチ回路は、
 前記 $3n$ 本のドレイン線にそれぞれ接続された $3n$ 個のスイッチを有し、
 前記第1のドレインバスラインは前記 $3n$ 個のスイッチに接続された $3n$ 本の配線を有し、
 前記 $3n$ 本の配線は前記ドレインドライバの $3n$ 個の端子に接続されていることを特徴とする請求項30記載の表示装置。

【請求項32】前記 $3n$ 個のスイッチは、多結晶シリコンで形成された薄膜トランジスタであることを特徴とする請求項31記載の表示装置。

【請求項33】前記 r 個の表示ブロックの内の一つの表示ブロックも $3n$ 本のドレインを有していることを特徴とする請求項30乃至32の何れかに記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタを使用した表示装置に関する。

【0002】

【従来の技術】薄膜トランジスタを使用した画素をマトリクス状に配置した表示装置としては、液晶を使用した液晶表示装置や、エレクトロルミネッセンスを用いるEL型の表示装置等がある。

【0003】図16では、従来の薄膜トランジスタを使用した第1の液晶表示装置を示す。図示しないが、この液晶表示装置は、対向する透明な2枚のガラス基板の一方に薄膜トランジスタがアレイ状に形成され、他方の基板に透明な対向電極が形成されている。液晶表示装置は、前述の2枚の透明基板により構成される表示パネルの他、偏光板やバックライト構成要素として必要となるが、それらの構成要素は本発明に直接関係ない。そのため、以下の説明では、表示パネルの内の薄膜トランジスタが形成されている基板を表示パネルと称する。

【0004】表示パネルLCPには、横方向に延在する走査線GLが複数本形成され、縦方向に延在するドレイン線DLが複数本形成されている。走査線とドレイン線との交点には、ゲートが走査線に接続され、ドレイン或いはソースの一方がドレイン線に接続され、ドレイン或

6

いはソースの他方が画素電極に接続された薄膜トランジスタが形成されている。表示パネルには、上述の薄膜トランジスタと画素電極とを有する画素がマトリクス状に複数形成されている。図16では、マトリクス状に形成された画素の内、1本の走査線に接続された赤を表示する画素PXR、緑を表示する画素PXG、青を表示する画素PXBのみを示している。この三つの画素で1つのドットを表示する。実際の表示領域には、図示した3つの画素が繰り返し形成されている。表示は、走査線を選択し、走査線に接続された薄膜トランジスタをオン状態とすることで、ドレイン線に供給される映像信号を画素電極に印加する。それにより、画素電極と対向電極との間に介在する液晶組成物を駆動することで電極間の光の透過率を制御することで表示を行う。走査線は、画素がマトリクス状に形成された表示領域の外側にまで延在しており、左右の表示領域外でゲートドライバVSRと接続している。ドレイン線も表示領域外にまで延在しているが、この液晶表示装置では、赤を表示する画素に接続されたドレイン線はスイッチSWRの一方の端子に接続し、緑を表示する画素に接続されたドレイン線はスイッチSWGの一方の端子に接続し、青を表示する画素に接続されたドレイン線はスイッチSWBの一方の端子に接続されている。RGBのドレイン線のそれぞれに接続された3つのスイッチの他方の端子は1つにまとめられ、表示パネル上に形成されている映像信号入力端子に接続される。赤を表示する画素に対応するスイッチは信号Φ1によって制御され、緑を表示する画素に対応するスイッチは信号Φ2によって制御され、青を表示する画素に対応するスイッチは信号Φ3によって個別に制御される。図示は省略しているが、表示領域内の赤を表示する画素に接続されたドレイン線は何れも信号Φ1で制御されるスイッチを介して映像信号入力端子に接続されており、緑を表示する画素と青を表示する画素についても同様である。翻ると、1つの映像信号入力端子は、信号Φ1、Φ2、Φ3によって制御されるスイッチを介して、RGBを表示するそれぞれの画素に接続された3つのドレイン線に接続されることとなる。表示パネル上に形成された映像信号入力端子はテープキャリアパッケージの端子に接続され、テープキャリアパッケージ内の配線を介してテープキャリアパッケージ上に搭載されたドレインドライバに接続される。図面では、映像信号入力端子とTCPの端子とを離して記載しているが、実際は、異方性導電シート等で接着されている。表示パネル上に形成されたスイッチを制御する3本の信号は、表示パネル外に設けられる外部制御回路TCより供給される。

【0005】図15ではドレインドライバの内部構成を示す。ドレインドライバは、外部よりデジタル信号として供給される映像データをラッチする入力ラッチI-LATと、入力ラッチより映像データが転送される処理ラッチP-LTCと、表示パネルの映像信号入力端子に映

50

(5)

7

像信号を供給するために処理ラッチが保持している映像データをアナログ信号に変換するDA変換器DACとを有する。以上示したこの表示装置は、所定の走査線が選択されている期間に、まず信号Φ1をオン状態とすることにより、スイッチSWRを介して赤を表示する画素に対しドレインドライバが出力する第1の映像信号を書き込む。更に、上述の所定の走査線が選択されている期間に、信号Φ2をオン状態とすることで緑を表示する画素に対してドレインドライバが出力する第2の映像信号を書き込み、信号Φ3をオン状態とすることで青を表示する画素に対してドレインドライバが出力する第3の映像信号を書き込む。つまり、1つの走査線が選択されている期間にドレインドライバは、赤を表示する画素に対する映像信号と緑を表示する画素に対する映像信号と青を表示する画素に対する映像信号とを、時分割で3回出力する。これにより、ドレインドライバの数を以前の3分の1とすることが可能となった。

【0006】図13には、従来の第2の液晶表示装置を示す。この液晶表示装置も、複数の走査線GLと複数のドレイン線DLと、薄膜トランジスタと画素電極とを有する複数の画素とを有し、複数の走査線はゲートドライバに接続されている。先に示した液晶表示装置との差異は、表示パネルを複数の表示ブロックに分割している点である。それぞれの表示ブロックは複数のドレイン線を有し、それらドレイン線は表示領域外で複数のスイッチの一方端子に接続される。スイッチの他方の端子はドレインバスラインに接続されている。それぞれの表示ブロックのドレイン線が接続されるスイッチは、共通の信号で制御される。

【0007】この液晶表示装置では、表示領域を3つの表示ブロックに分割しており、それぞれの表示ブロック内の走査線にはn個のドットが形成されている。図13の第1の表示ブロックでは、1本の走査線に接続される赤を表示する画素PR1、PR2、PRnを示している。それら画素に接続されたドレイン線は、表示領域外で、それぞれスイッチング素子SR1、SR2、SRnを介してドレインバスラインを構成するそれぞれのバス構成線BR1、BR2、BRnに接続される。第2の表示ブロックBK2内の1番目の赤を表示する画素PBn+1に接続されたドレインもスイッチング素子SRn+1を介してドレインバスラインの配線BR1に接続される。図では、簡略化のため、赤を表示する画素と、それに接続するドレイン線とスイッチとドレインバスラインのみを図示しているが、赤を表示する画素に隣接して緑を表示する画素と青を表示する画素とが形成されており、それぞれの画素に対応してドレイン線とそれに接続されるスイッチが形成されている。更に、図では、ドレインバスラインも赤を表示する画素に対応するものしか示していないが、緑を表示する画素に対応するドレインバスラインと青を表示するドレインバスラインとも存在

8

する。故に、表示領域外に形成されるドレインバスラインは、RGBのそれぞれに対応してn本存在するため、全体では3n本存在することとなる。ドレインバスラインを構成する配線のそれぞれはドレインドライバの出力に接続される。第1の表示ブロック内のドレイン線とドレインバスラインとの間に存在する複数のスイッチは信号Φ1によりそのオン/オフが制御されており、第2の表示ブロック内のドレイン線とドレインバスラインとの間に存在する複数のスイッチは信号Φ2により制御されており、第3の表示ブロック内のドレイン線とドレインバスラインとの間に存在する複数のスイッチは信号Φ3によって制御される。それら信号は外部制御回路TCより出力される。1つの表示ブロックに含まれるドレイン線の本数と、それらとドレインバスラインとの間に設けられるスイッチの数と、ドレインバスラインの本数と、ドレインドライバの出力数とは等しい。また、表示ブロックの数と制御信号の数とは等しい。

【0008】この液晶表示装置では、所定の走査線が選択されている期間、まず信号Φ1をオン状態とすることで、第1の表示ブロックのドレイン線に接続されたスイッチを介して、ドレインドライバからドレインバスラインに供給されている第1の映像信号が第1の表示ブロックの画素に書き込まれる。その後、前記所定の走査線が選択された状態で、信号Φ2をオン状態とし、ドレインドライバからドレインバスラインに供給されている第2の映像信号が第2の表示ブロックの画素に書き込まれ、更に、信号Φ3をオン状態とすることでドレインドライバからドレインバスラインに供給されている第3の映像信号が第3の表示ブロックの画素に書き込まれる。この液晶表示装置は、1つの走査線が選択されている期間に、ドレインドライバは、第1の表示ブロックの画素に対する映像信号と第2の表示ブロックの画素に対する映像信号と第3の表示ブロックの画素に対する映像信号とを、時分割で3回出力する。これにより、ドレインドライバの数を以前の3分の1とすることが可能となった。

【0009】以上示した2つの液晶表示装置では、表示領域を幾つかのグループに分割し、1つの走査線が選択される1水平期間内に、時分割でそれぞれのグループ内の画素に対してドレインドライバより映像信号が書き込まれる。それにより、ドレインドライバの出力数よりも多いドレイン線を駆動することが可能となる。具体的には、第1の従来技術では映像信号線をRGBの3グループに分割しているためドレインドライバの出力数の3倍のドレイン線を駆動することが可能となる。第2の従来技術では表示領域を3つのグループに分割しているため、ドレインドライバの出力数の3倍のドレイン線を駆動することが可能となる。

【0010】

【発明が解決しようとする課題】図17は、従来の第1の液晶表示装置の映像信号等のタイミングを示す。以

9

下、図16と図17とを用いて、従来の第1の液晶表示装置の問題点を示す。液晶表示装置には、コンピュータ等の外部機器から、赤を64階調で表示するための6ビットのデジタルデータI-Rと、緑を64階調で表示するための6ビットのデジタルデータI-Gと、青を64階調で表示するための6ビットのデジタルデータI-Bとが、ドット毎に平行に18ビットずつ供給されるのが一般的である。図17において、映像データI-Rは、1つの走査線に形成される3n個の画素に対する映像データが、R1、…、Rn、Rn+1…、R2n、R2n+1、…、R3nと、順次供給される。緑、青についても同様である。ここで、R1の次の走査線の映像データをR'1とし、その次の走査線の映像データをR''1とする。そのため、入力ラッチとDA変換器とを1系統しか持たないドレインドライバDRVを搭載した液晶表示装置では、ドレインドライバの前段に映像データアライナALNを設ける必要がある。つまり、外部装置は1本の走査線の対応する映像データ分を順次所定のタイミングで供給してくるが、この液晶表示装置では、供給される映像データより、制御信号Φ1に合せて赤を表示する画素に供給する映像データと、制御信号Φ2に合せて緑を表示する画素に供給する映像データと、制御信号Φ3に合せて青を表示する画素に供給する映像データとを選別し、順次デジタル-アナログ変換して出力する必要がある。しかし、このドレインドライバでは、上述の処理を行うことを考慮して設計していないため、ドレインドライバの前段に、上述の処理を行うための専用の回路を設け、そこに1水平期間に外部装置が供給する映像データを一時的に保存し、保存されたデータよりRGBの映像データを選別し、ドレインドライバに順次供給する必要がある。例えば、1番目からn番目までのドットに対して映像信号を供給するドレインドライバDRV1に対してデータアライナが供給する映像データO1は、1本の走査線が選択される期間に、映像データI-Rより、赤を表示するデータを選別したR1~Rnと緑を表示するデータを選別したG1~Gnと青を表示するデータを選別したB1~Bnとを順次出力する。n+1番目から2n番目までのドットに映像信号を供給するドレインドライバDRV2と、2n+1番目から3n番目までのドットに映像信号を供給するドレインドライバDRV3についても同様である。

【0011】図14は、従来の第2の液晶表示装置の映像信号等のタイミングを示す。以下、図13と図14とを用いて、従来の第2の液晶表示装置の問題点を示す。通常、ドレインドライバは、映像データを入力ラッチに取り込んだ後、入力ラッチの映像データを処理ラッチに転送してDA変換して表示パネルに出力する。そのため、入力ラッチのデータを処理ラッチに転送するための時間が必要となる。しかし、図14に示す如く、外部装置は3nドット分の映像データを切れ目なく出力する。

(6)

10

そのため、外部装置の映像データを直接ドレインドライバに供給したのでは、入力ラッチのデータを処理ラッチへの転送する時間がなくなる。故に、ドレインドライバの前段に、ドレインドライバ内のラッチ間転送を行うための時間を付加した映像データをドレインドライバに供給するためのデータアライナALNが必要となる。従来のデータアライナでは、複数のメモリに外部装置が出力する映像データを記憶し、記憶されたデータを処理してドレインドライバに供給していた。

【0012】そこで、本発明の主たる目的は、従来の表示装置の問題点を鑑み、ドレインドライバの数を削減した表示装置において、更に、簡単な構成を付加することで従来の表示装置よりも更に部品点数を削減し、コスト低減が可能な表示装置を実現することである。

【0013】本発明の前記並びにその他の目的と新規な特徴とは本明細書の記述及び添付の図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本発明において開示される代表的な構成は以下の通りである。

【0015】複数の走査線と、第1から第3のドレイン線と、複数の走査線とそれぞれの前記ドレイン線とに接続された薄膜トランジスタとを有する複数の画素と、第1のドレイン線に第1の端子が接続されて第1の制御信号で制御される第1のスイッチと、第2のドレイン線に第1の端子が接続されて第2の制御信号で制御される第2のスイッチと、第3のドレイン線に第1の端子が接続されて第3の制御信号で制御される第3のスイッチと、第1のスイッチの第2の端子と第2のスイッチの第2の端子と第3のスイッチの第3の端子とが共通に接続されたノードと、ノードに映像信号を供給するドレインドライバとを有する表示装置であって、ドレインドライバには、第1のドレイン線に供給される映像信号に対応する第1のデジタルデータと、第2のドレイン線に供給される映像信号に対応する第2のデジタルデータと、第3のドレイン線に供給される映像信号に対応する第3のデジタルデータとが並列に入力されることを特徴とするものである。

【0016】ここで、前述の表示装置は、ドレインドライバは、第1のデジタルデータを保持して第4の制御信号で制御される第1のラッチと、第2のデジタルデータを保持して第5の制御信号で制御される第2のラッチと、第3のデジタルデータを保持して第6の制御信号で制御される第3のラッチとを有することを特徴とするものである。

【0017】また、前述の表示装置は、第1のドレイン線は赤を表示する映像信号を画素に供給し、第2のドレイン線は緑を表示する映像信号を画素に供給し、第3のドレイン線は青を表示する映像信号を画素に供給することを特徴とするものである。

(7)

11

【0018】本発明の他の構成の表示装置では、走査線と、赤を表示する画素に接続された n 本のドレイン線と、赤を表示する画素に隣接して形成された緑を表示する画素に接続された n 本のドレイン線と、緑を表示する画素に隣接して形成された青を表示する画素に接続された n 本のドレイン線と、赤を表示する画素に接続されたドレイン線と、緑を表示する画素に接続されたドレイン線と、青を表示する画素に接続されたドレイン線とが、それぞれスイッチを介して接続された n 個のノードと、ノードに接続されたDA変換器と、DA変換器に接続されて $3n$ 個の画素分のデジタル映像データを保持する処理ラッチと、処理ラッチに接続されて $3n$ 個の画素分のデジタル映像データを保持する入力ラッチとを有することを特徴とするものである。

【0019】ここで、前述の表示装置のDA変換器は $3n$ 個のDA変換回路から構成され、入力ラッチには赤を表示する画素の映像データと緑を表示する画素の映像データと青を表示する画素の映像データとが並列に入力されることを特徴とするものである。

【0020】また、前述の表示装置のDA変換器は、処理ラッチから時分割で供給される映像データをDA変換する n 個のDA変換回路から構成され、入力ラッチには赤を表示する画素の映像データと緑を表示する画素の映像データと青を表示する画素の映像データとが並列に入力されることを特徴とするものである。

【0021】また、本発明の他の構成の表示装置では、複数の画素を有する第1の表示ブロックと、複数の画素を有する第2の表示ブロックと、第1の表示ブロック内のドレイン線と前記第2の表示ブロック内のドレイン線とに接続されたドレインバスラインと、ドレインバスラインに接続されたDA変換器と、DA変換器に接続されたラッチと、ラッチに接続されたディレイ装置とを有し、ディレイ装置は、デジタルの映像データが入力される入力端子と、入力端子入力に接続された第1のスイッチ回路と、前記入力端子に接続されたディレイ回路と、ディレイ回路の出力に接続された第2のスイッチ回路と、第1のスイッチ回路と第2のスイッチ回路とに接続された出力端子とを有することを特徴とするものである。

【0022】ここで、前述の表示装置では、第1の表示ブロック内のドレイン線とドレインバスラインとの間には、第1の制御信号で制御されるスイッチング回路を有することを特徴とするものである。

【0023】更に、前述の表示装置では、第2の表示ブロック内のドレイン線とドレインバスラインとの間には、第2の制御信号で制御されるスイッチング回路を有することを特徴とするものである。

【0024】また、本発明の他の構成の表示装置は、走査線と、ドレイン線と、走査線と前記ドレイン線とに接続された薄膜トランジスタを有する画素と、ドレインバ

12

スラインと、ドレイン線と前記ドレインバスラインとの間に設けられた第1のスイッチング素子と、ドレインバスラインに接続された第1のドレインドライバと、ドレインバスラインに接続された第2のドレインドライバとを有することを特徴とするものである。

【0025】また、本発明の他の構成の表示装置は、 m 個の表示ブロックと、 m 個の表示ブロックに共通に設けられた走査線と、各表示ブロックのドレイン線に設けられた m 個のスイッチング回路と、 m 個のスイッチング回路に接続されたドレインバスラインと、ドレインバスラインに接続された k 個のドレインドライバとを有することを特徴とするものである。

【0026】また、本発明の他の構成の表示装置は、画素が設けられた第1のドレイン線と、画素が設けられた第2のドレイン線と、第1のドレインバスラインと、第2のドレインバスラインと、第1のドレイン線と第1のドレインバスラインとの間に設けられた第1のスイッチと、第2のドレイン線と第2のドレインバスラインとの間に設けられた第2のスイッチと、第1のドレインバスラインに接続された第1のドレインドライバと、第2のドレインバスラインに接続された第2のドレインドライバとを有することを特徴とするものである。

【0027】また、本発明の他の構成の表示装置では、 p 個の表示ブロックと、 r 個の表示ブロックと、 p 個の表示ブロックと p 個の表示ブロックに共通に設けられた走査線と、 p 個の表示ブロックのそれぞれに設けられた p 個のスイッチング回路と、 r 個の表示ブロックのそれぞれに設けられた r 個のスイッチング回路と、 p 個のスイッチング回路に共通に接続された第1のドレインバスラインと、 r 個のスイッチング回路に共通に接続された第2のドレインバスラインと、第1のドレインバスラインに接続された第1のドレインドライバと、第2のドレインバスラインに接続された第2のドレインドライバとを有することを特徴とするものである。

【0028】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0029】図1は本発明の第1の実施形態の表示装置を示す図である。ガラス等の絶縁性基板で構成される表示パネルPNL内の表示領域DPAには、複数の走査線GLと、複数のドレイン線DLとが設けられている。走査線とドレイン線とによって規定されるマトリクス状の複数の画素のそれぞれには、ゲートに走査線が接続し、ドレインがドレイン線に接続する薄膜トランジスタが形成されている。図1では、表示領域内の複数画素のうち、1本の走査線に接続された赤を表示する画素PXRと緑を表示する画素PXGと青を表示する画素PXBとの3つの画素のみを示している。これら3色の画素で1ドットを構成する。図示は省略しているが、1本の走査線には前述の3色の画素が繰り返し形成されている。つ

13

まり、1本の走査線に複数のドットが形成されており、その走査線が図中の縦方向に並列に複数本形成されることで表示領域が形成されている。図示した3つの画素の薄膜トランジスタのソースはそれぞれの画素が有する画素電極に接続されている。表示領域に形成されたそれぞれの走査線は、表示領域外にまで延在しており、表示領域外でゲートドライバに接続される。ドレイン線も表示領域外にまで延在しており、そこでスイッチング回路に接続される。図中の赤を表示する画素に対応するドレイン線は第1のスイッチSWRの一方の端子、緑を表示する画素に対応するドレイン線は第2のスイッチSWGの一方の端子、青を表示する画素に接続されたドレイン線は第3のスイッチSWBの一方の端子に接続される。それら3つのスイッチの他方の端子は、第1のノードN1に共通に接続される。また、第1のスイッチは第1信号ΦRによってオン/オフが制御され、第2のスイッチは第2信号ΦGによってオン/オフが制御され、第3のスイッチは第3信号ΦBによってオン/オフが制御される。上述した通り、1本の走査線に沿って複数のドットが形成されるが、図示した3本のドレイン線と3つの信号でそれぞれ制御される3つのスイッチの構成も走査線方向に繰り返し形成されている。つまり、1本の走査線に形成されるドットの数だけノードが形成されることとなる。本明細書では、赤の画素に接続される複数のドレイン線を1つのグループとし、緑の画素に接続される複数のドレイン線群や青の画素に接続される複数のドレイン線群についてもそれぞれのグループとする。

【0030】上記の第1から第3のスイッチの他方の端子が接続されるノードN1は、表示パネル上に形成される端子に接続される。表示パネル上に形成される端子は、1走査線に形成されるドットの数、つまり、1走査線に接続される画素数の3分の1の数形成される。この端子にはそれぞれにドレインドライバが搭載された柔軟性を有する3つのテープキャリアパッケージTCP1、TCP2、TCP3の一方端子が接続される。本実施形態では、3つのテープキャリアパッケージとしているが、特に制限している訳ではなく、表示パネルのドット数やテープキャリアパッケージの端子数に応じ、適宜変更可能である。それぞれのテープキャリアパッケージの他方の端子には、外部装置等が出力する映像データが並列に入力される。外部装置は、赤を表示する画素に対応する複数ビットのデータI-Rと、緑を表示する画素に対応する複数ビットのデータI-Gと、青を表示する画素に対応する複数ビットのデータI-Bとを並列に出力する。例えば、RGBを構成する3つの画素のそれぞれが64階調の表示を行う場合、つまり1ドットが約26万色の表示を行う場合、それぞれの画素に対応するデジタルデータは6ビットとなり、外部装置は1ドット分18ビットの映像データを同一のタイミングで出力する。テープキャリアパッケージに入力された映像データ

(8)

14

は、それぞれのテープキャリアパッケージ上に搭載されたドレインドライバに入力される。ドレインドライバは入力されたデジタルの映像データをアナログの映像信号に変換し、変換された映像信号をパネル上の端子とノードN1とスイッチ回路とドレイン線とを介してそれぞれの画素に供給する。この実施形態では、ドレインドライバは1つの半導体チップに形成されており、この半導体チップをテープキャリアパッケージ上に搭載しているが、ドレインドライバが形成された半導体チップを表示パネル上に直接貼り付ける構成であってもよい。

【0031】それぞれのドレインドライバ内には、外部装置からドット毎に順次供給される映像データをクロックに応じて取り込む入力ラッチI-LTCと、入力ラッチが取り込んだ映像データを一括して受け取り保持する処理ラッチP-LTCと、処理ラッチで保持された映像データをアナログ信号である映像信号に変換するDA変換器（デジタルアナログ変換器）DACと、外部から供給される信号ΦDに基づき入力ラッチや処理ラッチを制御する内蔵制御回路ITCとが形成されている。

【0032】本実施形態の表示装置は、更に、ゲートドライバVSRが有するシフトレジスタを制御する信号と表示パネル上の上述したスイッチング回路を制御する第1から第3の信号ΦR、ΦG、ΦBとを供給する外部制御回路TCを有する。この外部制御回路は、ドレインドライバ内の内蔵制御回路に対して上述の信号ΦDを供給し、DA変換器に対して画素に供給する映像信号の階調電圧を生成するための基準電圧Vrefとを供給する。

【0033】図2には、図1で示したドレインドライバの詳細な構成を示す。図1では3つのドレインドライバを示しているが、それらの構成は同一であるため、ここではドレインドライバDRV1のみを説明する。ドレインドライバには、映像データI-R、I-G、I-Bとが並列に入力される。詳細な図示はしていないが、それぞれの画素が64階調の表示を行う場合、ドレインドライバの入力端子は1ドットあたり18個必要となる。2ドット分のデータが並行して入力される構成をとれば36個必要となる。1ドット分のデータを入力するか2ドット分のデータを並行して入力するかについては、ドレインドライバの動作速度と端子数とのトレードオフの関係にあり、特に制限するものではない。入力された映像データは、入力ラッチI-LTCに順次取り込まれる。入力ラッチは、RGB毎に、赤色映像データラッチI-LTC-Rと緑色映像データラッチI-LTC-Gと青色映像データラッチI-LTC-Bとを有する。それぞれのデータラッチは、内蔵制御回路の出力ΦTrに同期して映像データを取り込む。

【0034】それぞれのデータラッチは、映像データが、予め規定されているnドット分、つまり3*n画素分入力された後、RGBそれぞれのデータラッチが保持しているn画素分（1画素64階調の場合は6*nビッ

(9)

15

ト分)の映像データを処理ラッチP-LTCに転送する。赤色映像データラッチが保持する赤色映像データは、1画素毎に処理ラッチP-LTC中の赤色ラッチR1~Rnに転送され保持される。緑色映像データラッチが保持する緑色映像データと、青色映像データラッチが保持する青色映像データも、1画素毎に、処理ラッチ内の緑色ラッチG1~Gnと青色ラッチB1~Bnに転送され保持される。処理ラッチ内の3*n個のラッチに保持された映像データは、それぞれのラッチに接続されるDA変換器で、それぞれの映像データが有する階調に応じたアナログ信号である映像信号に変換される。その後、n個の赤色ラッチとそれに接続されるn個の1番目から3n-2番目のDA変換機は、信号Φ1に基づき、保持している映像データに基づき変換された映像信号を出力する。更に、その後、緑色ラッチは信号Φ2に基づき、それぞれが保持している映像データに基づき2番目のDA変換器から3n-1番目のDA変換機で変換された映像信号を出力し、青色ラッチは信号Φ3に基づき、それぞれが保持している映像データに基づき3番目のDA変換器から3n番目のDA変換機で変換された映像信号を出力する。以上の処理により、ディジタルデータとして入力されるnドット分の映像データはそれぞれアナログの映像信号に変換され、赤表示を行うn画素分の映像信号、緑表示を行うn画素分の映像信号、青表示を行うn画素分の映像信号としてドレインドライバの出力端子O1からOnを介して表示パネルに出力される。

【0035】内蔵制御回路は、上述の信号Φ1、Φ2、Φ3を処理ラッチやDA変換器に供給しているが、信号の生成方法は様々な方法をとることが可能であり、例えば、供給される映像データのクロックや、外部制御回路から供給されるクロック等を計数し、それに基づき種種の信号を生成する方法であってもよく、特に制限されるものではない。なお、外部装置からは、表示パネルの1走査線に形成される3*nドットに対応する映像データが連続して供給される。そのため、本実施形態では、表示パネルに接続される3つのドレインドライバは、外部装置が供給する3*nドット分の映像データを時分割でnドット分ずつ入力ラッチに取り込む。そのため、それぞれのドレインドライバ内の入力ラッチの動作開始タイミングは異なる。動作開始タイミングは、外部制御回路から各ドレインドライバに供給してもよいし、他のドレインドライバ出力する動作終了通知に基づき動作を開始する構成であってもよい。但し、ドレインドライバから表示パネルに映像信号を出力する信号Φ1~Φ3については、全てのドレインドライバにおいて同じタイミングであることが望ましい。

【0036】図3では、図1と図2とを用い、本実施形態の表示装置に関する信号のタイミングを示す。図1で示す表示パネルは、走査線方向に3nドットの表示が可能である。そのため、表示パネルには、赤表示を行う画

16

素に対応するドレイン線に設けられたスイッチSWRが3n個形成されており、同様に、スイッチSWGとSWBともそれぞれ3n個形成されている。また、スイッチSWR、SWG、SWBの他方の端子が共通に接続されるノードN1は3n個形成されており、それらノードに映像信号を供給するドレインドライバは3つ並列に接続されている。それぞれのドレインドライバは、水平方向のnドット分、つまり3n個の画素を駆動することが可能である。図3のI-R、I-G、I-Bは、外部装置より本実施形態の表示装置に供給される映像データである。1走査線に接続された赤を表示するそれぞれの画素に対応する映像データがR'1、R'2、と、R'3nまでの3n画素分順次供給される。1走査線に接続された緑を表示するそれぞれの画素と青を表示するそれぞれの画素に対応する映像データも同様に供給される。1走査線上に形成される3nドットの映像データが供給される時間を1Hとし、映像データの供給が終了して次の走査線に対応する映像データの供給が開始されるまでの期間をブランキング期間BLKとする。ここで、R'1とは、ある走査線に接続された第1番目の赤を表示する画素に表示される映像データを示し、R'nとは、ある走査線に接続された第n番目の赤を表示する画素に表示される映像データを示す。また、R"1とは、上記ある走査線の次の走査線に接続された第1番目の赤を表示する画素に表示される映像データを表し、R1とは、上記ある走査線の前段の走査線に接続された第1番目の赤を表示する画素に表示される映像データを表すものである。G'1、B'1等も同様である。

【0037】1走査線に設けられた3n個のドットの映像データは、表示パネルに設けられた3つのドレインドライバに並列に入力されるが、第1のドレインドライバDRV1は3n個のドットの内1番目のドットからn番目のドットに対応する映像データを入力ラッチに取り込み、第2のドレインドライバDRV2はn+1番目のドットから2nドットまでの映像データを取り込み、第3のドレインドライバDRV3は2n+1番目のドットから3n番目のドットまでの映像データを取り込む。他の走査線に関する映像データについても同様の動作を行う。図3のI-LTC-R、I-LTC-G、I-LTC-Bには、第1のドレインドライバの入力ラッチI-LTC-R、I-LTC-G、I-LTC-Bに取り込まれた映像データを示している。1Hの映像データが第1から第3のドレインドライバの入力ラッチに取り込まれた後、図2でも示す信号Φ0によって、3つのドレインドライバ内の入力ラッチの映像データは処理ラッチに転送される。図3のR1、Rn、G1、Gn、B1、B'nは、ドレインドライバ内の処理ラッチR1、Rn、G1、Gn、B1、Bnが保持する映像データを示している。入力ラッチから処理ラッチへの転送は1走査線の映像データが3つのドレインドライバのすべて供給された

(10)

17

後に行うため、ある期間に処理ラッチが保持している映像データは、前記ある期間に入力ラッチが取り込んでいる映像データの前段の走査線に対応する映像データとなる。

【0038】処理ラッチが映像データを保持している状態で、赤表示の映像データを保持しているラッチに供給する信号Φ1と、緑表示の映像データを保持しているラッチに供給する信号Φ2、及び、青表示の映像データを保持しているラッチに供給する信号Φ3を、図3に示すように順次オン状態とする。この動作により、Φ1がオン状態のとき、処理ラッチR1からRnが保持する赤表示の映像データはDA変換器DAC1、DAC4、～DAC3n-2によりアナログの映像信号に変換され、ドレインドライバの出力端子O1からOnに出力される。その後、信号Φ2、Φ3がオン状態となることで、処理ラッチG1からGnが保持する緑表示の映像データはDA変換器DAC2、DAC5、～DAC3n-1により映像信号に変換され出力され、処理ラッチB1からBnが保持する青表示の映像データがDA変換器DAC3、DAC6、～DAC3nにより映像信号に変換され出力される。それに併せ、ドレインドライバの出力端子が接続されるスイッチ回路SWR、SWG、SWBを制御する信号ΦR、ΦG、ΦBを、ドレインドライバ内の処理ラッチとDA変換器とを制御する信号Φ1、Φ2、Φ3と同様なタイミングでオン状態、つまり、スイッチ回路を導通状態とする。これにより、信号Φ1により、3つのドレインドライバのDA変換器から出力される赤表示の映像データに対応する映像信号は、信号ΦRによってオン状態とされた3n個の第1のスイッチSWRを介して、赤表示を行う画素PXRのそれぞれに入力される。

【0039】その後、信号ΦRにより第1のスイッチがオフ状態となり、信号Φ1によりドレインドライバの赤表示データに対応するDA変換器の出力が停止される。その後、信号Φ2とΦGとにより、緑表示データに対応するDA変換器から緑表示データに対応する映像信号が供給され、オン状態とされた第2のスイッチを介して緑表示を行う画素PXGにドレインドライバからの映像信号が書き込まれる。その後、信号ΦGにより第2のスイッチがオフ状態とされた後、信号Φ2により緑表示データに対応するDA変換器をオフ状態とし信号Φ3と信号ΦBとを制御することで、青表示データに対応する映像信号が青表示を行う画素PXBに書き込まれる。その後、信号ΦBをオフ状態とし、信号Φ3により青表示データに対応するDA変換器をオフ状態とする。以上の動作を、走査線毎に繰り返すことで、表示領域に映像を表示する。ここで、それぞれのドレインドライバが出力する映像信号は、同じタイミングで表示パネルのノードN1に供給されることが望ましいため、各ドレインドライバ内の信号Φ1、Φ2、Φ3は同じタイミングの信号であることが望ましい。

18

【0040】従来、本実施形態の如く、RGBの映像データを順次受け取り、ドレインドライバがRGBの映像信号を時分割で画素に供給する表示装置では、ドレインドライバの前段に映像データをRGBに分割してドレインドライバに供給するデータアライナが余分に必要となる。しかし、本発明の表示装置では、ドレインドライバ内に、ドレインドライバが一回で出力する画素数の3倍の数の画素の映像データを記憶する入力ラッチと処理ラッチとDA変換器とを有することで、従来必要であった部品を削減することが可能となる。更に、表示パネルの大きさや精細度は製品に応じて1走査線に形成されるドット数が異なるが、従来の表示装置では、ドレインドライバの前段に設けるデータアライナの構成を適宜変更して使用する必要があった。しかし、本発明の表示装置では、データアライナを設ける必要なく、時分割駆動を行わない従来の表示装置と同様にドレインドライバに対して映像データを並列に入力するだけでよく、品種の多様化に柔軟に対応することが可能となる。

【0041】以上示した第1の実施形態では、一度にn画素に対して映像信号を供給するドレインドライバに、複数ビットによって構成される1画素の映像データを3n個の画素分保持する入力ラッチと処理ラッチとが形成されており、それぞれの処理ラッチに対応してDA変換器が3n個設けられている。RGBそれぞれの画素に対応する映像データは、時分割でDA変換される。そのため、RGBの3画素に対して1つのDA変換器を持たせる構成であってもよい。この場合、DA変換器の処理速度を早くする必要があるが、ドレインドライバのDA変換器の総面積を減少させることが可能となる。また、本実施形態では、1走査線に3n個のドットが形成され表示パネルに、n個のドット、つまり3n個の画素に映像信号を供給することが可能な映像信号線駆動回路を3つ接続した構成を示しているが特に制限している訳ではない。例えば、n個のドットが表示される表示パネルにn個のドットに映像信号を供給することが可能なドレインドライバを1つ接続した構成であってもよく2n個のドットが表示される表示パネルにn個のドットに映像信号を供給することが可能なドレインドライバを2つ接続した構成であってもよい。また、本実施形態では、1走査線の選択期間に1ドットに対応するRGBの3つのドレインドライバの時分割で駆動する構成となっているが、1走査線の選択期間に2ドット、つまり6つのドレインドライバの時分割で駆動する構成としてもよい。この場合、6本のドレインドライバのそれぞれに6つの信号で時分割に制御される6個のスイッチを表示パネル設ける必要があり、ドレインドライバのラッチやDA変換器は図2の2倍の数必要となる。また、第1の実施形態では、表示パネルの上のスイッチSWR、SWG、SWBを制御する信号ΦR、ΦG、ΦBやゲートドライバを制御する信号は外部制御回路TCから供給され、ドレインドライバDRV1、D

(11)

19

RV2、DRV3に供給される信号ΦDとDA変換器に供給される基準電圧Vrefも外部制御回路から供給される。ドレインドライバ内のラッチやDA変換器を制御する信号Φ1、Φ2、Φ3、ΦTrは、外部制御回路より供給される信号ΦDに基づき、ドレインドライバ内の内蔵制御回路で生成されている。しかし、上記の信号をどこで生成するかについては特に制限するものではない。全てを外部制御信号で生成する構成であってもよい。

【0042】図4は、本発明の第2の実施形態の表示装置を示す図である。表示パネルPNL内表示領域DPAには、複数の走査線GLと、複数の映像信号線DLと、ゲートが走査線に接続されドレインがドレイン線に接続された薄膜トランジスタを有する複数の画素がマトリクス状に形成されている。本実施形態の表示領域は、走査線の方に、第1の表示ブロックBK1、第2の表示ブロックBK2、第3の表示ブロックBK3の3つの表示ブロックに分割されている。それぞれの表示ブロックには、走査線方向にn個のドット、つまり3n個の画素が形成されている。このことは、1つの表示ブロックには3n本のドレイン線が形成されていることを意味する。図では、1本の走査線に形成される画素のうち、第1の表示ブロック内の赤を表示する第1の画素PR1と赤を表示する第2の画素PR2と赤を表示する第n番目の画素PRnを示し、第2の表示ブロック内の赤を表示する第n+1番目の画素PRn+1（この画素は、第2の表示ブロック内では第1番目の赤を表示する画素であるが、以下の説明を簡便にするため、この様に標記する。以下も同様）と、第3の表示ブロック内の赤を表示する第3n番目の画素PR3nを示している。図では省略しているが、赤を表示する第i番目の画素PRiと赤を表示する第i+1番目の画素PRi+1との間には、緑を表示する第i番目の画素PGiとそれに接続するドレイン線、青を表示する第i番目の画素PBiとそれに接続するドレイン線が形成されている。表示領域に形成された走査線は、表示領域外でゲートドライバVSRに接続される。ドレインも表示領域外にまで延在しており、そこでスイッチング回路に接続される。

【0043】第1の表示ブロック内のドレイン線は第1のスイッチング回路の一方端子に接続され、第2の表示ブロック内のドレイン線と第3の表示ブロック内のドレイン線とは、第2のスイッチング回路と第3のスイッチング回路との一方端子に接続される。各スイッチング回路の他方の端子は、ドレインバスラインに接続される。具体的には、第1の表示ブロック内の赤を表示する第1の画素PR1に接続されるドレイン線は、第1のスイッチング回路の第1のスイッチSR1を介してドレインバスライン内の第1の配線BR1に接続される。第1の表示ブロック内の赤を表示する第2の画素PR2と第nの画素PRnとにそれぞれ接続されたドレイン線は、第2

20

のスイッチSR2と第nのスイッチSRnとを介してドレインバスライン内の第2の配線BR2と第nの配線BRnとに接続される。また、第2の表示ブロック内の赤を表示する第n+1の画素PRn+1に接続されるドレイン線は、第2のスイッチング回路の第n+1のスイッチSRn+1を介してドレインバスライン内の第1の配線BR1に接続される。第3の表示ブロック内の赤を表示する第3nの画素PR3nに接続されるドレイン線は、第3のスイッチング回路の第3nのスイッチSR3nを介してドレインバスライン内の第nの配線BRnに接続される。第1の表示ブロックに対応する第1のスイッチング回路が有するn個のスイッチSR1からSRnは共通の信号Φ1でオン/オフが制御されており、第2の表示ブロックに対応する第2のスイッチング回路が有するn個のスイッチSRn+1からSR2nは共通の信号Φ2でオン/オフが制御されており、第3の表示ブロックに対応する第3のスイッチング回路が有するn個のスイッチSR2n+1～SR3nは共通の信号Φ3でオン/オフが制御されている。図では、赤を表示する画素についてしか記載していないが、緑を表示する画素、青を表示する画素についても上記と同様に形成されており、i番目のスイッチSRiとi+1番目のスイッチSRi+1との間には、緑を表示する画素に対応するi番目のスイッチSGiと青を表示する画素に対応するi番目のスイッチSBiとが形成されている。

【0044】映像信号バスラインについてもi番目の配線B Riとi+1番目の配線B Ri+1との間には、緑を表示する画素に対応するi番目の配線B Giと青を表示する画素に対応するi番目の配線B Biとが形成されている。つまり、第1の表示ブロック内の3n本のドレイン線のそれぞれは、信号Φ1で共通に制御される3n個のスイッチよりなる第1のスイッチング回路を介して、ドレインバスラインの3n本の配線のそれぞれに接続されている。第2の表示ブロックと第3の表示ブロックについても、第2の信号Φ2によって制御される第2のスイッチング回路と第3の信号Φ3によって制御される第3のスイッチング回路とを介して、第1のスイッチング回路が接続される前記ドレインバスラインに共通に接続される。第1から第3の表示ブロックのドレイン線がスイッチング回路を介して共通に接続されるドレインバスラインの3n本の各配線はドレインドライバの3n個の出力端子に接続される。本実施形態のドレインドライバは半導体チップ上に形成されており、その半導体チップは表示パネルに貼り付けられている。

【0045】ドレインドライバは、外部からデジタル信号として供給される映像データを順次取り込む入力ラッチI-LTCと、入力ラッチによって取り込まれた映像データを一括して受け取り保持する処理ラッチP-LTCと、処理ラッチによって保持された映像データを各画素にアナログ信号として供給する映像信号に変換する

(12)

21

DA変換器とを有する。さらに、本表示装置は、表示パネル上のスイッチング回路に供給される信号 $\Phi 1$ 、 $\Phi 2$ 、 $\Phi 3$ や、ドレインドライバ内のラッチを制御する信号PLSや、ドレインドライバ内のDA変換器に供給される基準電圧Vrefを供給する外部制御回路TCと、外部装置より供給される映像データを操作してドレインドライバに供給するディレイ装置DLYとを有する。

【0046】ディレイ装置には、第1の実施形態と同様の形式で映像データが入力される。入力された第1のディレイスイッチSW1と第1のディレイ回路DL1とに並列に供給される。第1のディレイ回路に供給された映像データは、所定時間遅延した状態で第2のディレイスイッチSW2と第2のディレイ回路DL2とに並列に供給される。第2のディレイ回路に供給された遅延された映像データは、更に所定時間遅延した状態で第3のディレイスイッチSW3に供給される。また、ディレイ装置が有する第1から第3のディレイスイッチは、外部制御回路から出力される信号 $\Phi D1$ 、 $\Phi D2$ 、 $\Phi D3$ でオン/オフが制御される。

【0047】図5を用い、図4に示す表示装置の動作を説明する。ディレイ装置には、外部装置より、供給されるデータをI-R、I-G、I-Bで示す。RGBそれぞれが複数ビットを有する映像データが1ドット毎に並列に入力される。入力されるドットごとのデータは、1走査線に接続されたドット数だけ順次供給され、1走査線分の供給が終了した後、ブランク期間BLKにおいて、次の走査線分の映像データが供給される。第1の実施形態の表示装置と同様な形態のデジタル信号が外部装置より入力される。図中、ある走査線の関する映像データは、R1、G1、B1の1ドット分からR3n、G3n、B3nの1ドット分までの3nドット分であり、次の走査線の映像データは、R'1、G'1、B'1の1ドット分からR'3n、G'3n、B'3nの1ドット分までの3nドット分である。1本の走査線に対応する映像データの供給が開始された時点、つまり1水平期間の開始時点では、信号 $\Phi D1$ によって制御される第1のディレイスイッチはオン状態となっている。オン状態は、供給される映像データがnドット目に達するまで維持される。そのため、供給される映像データは、第1のディレイ回路に供給されるとともに第1のディレイスイッチを通過し、ディレイ装置の出力端子O-DLYを経由してドレインドライバに出力される。ドレインドライバに出力される映像データは、赤を表示する画素R1～Rnまでの映像データ、緑を表示する画素G1～Gnまでの映像データ、及び、青を表示する画素G1からGnまでの映像データである。

【0048】一方、外部より入力された映像データは、第1のディレイ回路によって所定時間遅延された状態で、図のO-DL1の如く、第2のディレイスイッチに向かって出力されている。そのため、第1のディレイス

22

スイッチをnドット目の映像データRn、Gn、Bnが通過した所定時間経過後に、信号 $\Phi D2$ により第2のディレイスイッチをオン状態をすることで、第2のディレイスイッチを介してn+1ドット目からの映像データがドレインドライバに出力される。ここで、第1のディレイスイッチをn番目の映像データが通過した時点から第2のディレイスイッチをオン状態にするまでの期間は、第1のディレイ回路の遅延時間と同じになるように制御する必要がある。もちろん、図の信号 $\Phi D1$ と $\Phi D2$ の関係のように、第1のディレイスイッチをn番目の映像データが通過した時点で、第1のディレイスイッチをオフ状態としてもよいが、ドレインドライバは、n番目の映像データよりも後の映像データを取り込むだけの余裕が入力ラッチが無い場合、第2のディレイスイッチをオン状態とするまでに第1のディレイスイッチをオフ状態とすればよい。ドレインドライバは、第1のディレイスイッチを介して入力ラッチに順次取り込んだnドット目までの映像データを、第2のディレイスイッチを介してn+1番目の映像データの入力される前に、処理ラッチに転送する。その後、ドレインドライバは、第2のディレイスイッチを介して出力されるn+1ドット目からの映像データを入力ラッチ順次取り込むと同時に、処理ラッチに保持されている1ドット目からnドット目までの3n画素分の映像データをDA変換器によって、画素に供給するための映像信号に変換し、ドレインバスラインに供給する。

【0049】一方パネルでは、第2のディレイスイッチを制御する信号 $\Phi D2$ の立ち上がりの前後で、第1のスイッチング回路の3n個のスイッチを制御する信号 $\Phi 1$ により第1のスイッチング回路がオン状態となる。そのため、ドレインドライバからドレインバスラインに供給された第1の表示ブロックに対応する1ドット目からnドット目までの映像信号がドレイン線を介して、第1の表示ブロック内の走査線によって選択されている画素に書き込まれる。画素に書き込みが行われている期間、第1ディレイ回路のn+1ドット目から2nドット目までの映像データは第2のディレイスイッチを介してドレインドライバの入力ラッチに順次書き込まれている。以降も、上記手順と同様に、2nドット目の映像データが第2のディレイスイッチを通過した時点で、信号 $\Phi 1$ により表示パネルの第1のスイッチング回路をオフ状態とし、ドレインドライバの入力ラッチに取り込まれたn+1ドット目から2nドット目までの映像データを処理ラッチに転送する。第1のスイッチング回路をオフ状態とした後、信号 $\Phi 2$ により、表示パネルの第2のスイッチング回路をオン状態とする。この動作により、ドレインドライバのDA変換器によって変換されたn+1ドット目から2nドット目までの映像信号が第2の表示ブロックの画素に書き込まれる。もちろん、第2の表示ブロックで映像信号が書き込まれる画素は、直前に映像信号が

(13)

23

書き込まれた第1の表示ブロックの画素と同一の走査線上に存在する画素である。また、ディレイ装置は、第2のディレイスイッチを $2n$ ドット目の映像信号が経過した後所定時間経過した時点で、信号 $\Phi D3$ により第3のディレイスイッチをオン状態とする。ここで、上記所定時間とは、第1のディレイ回路に対する第2のディレイ回路の遅延時間に相当する時間である。これにより、第3のディレイスイッチからは、第2のディレイ回路が出力する映像データのうち、 $2n+1$ ドット目からの映像データがドレインドライバに対して出力される。ドレインドライバは、第3のディレイスイッチを介して出力される $2n+1$ ドット目からの映像データを入力ラッチに順次取り込む。第3のディレイスイッチが、 $3n$ ドット目の映像信号を出力した後、ドレインドライバの入力ラッチの映像信号を処理ラッチへ転送する。前記転送に先立ち、表示パネルの第2のスイッチング回路をオフ状態とし、信号 $\Phi3$ により第3のスイッチング回路をオン状態に切替える。その後、ディレイ装置は、外部装置が出力する、次の走査線に対応する映像データ R' 、 G' 、 B' 、 1 から R' 、 $3n$ 、 G' 、 $3n$ 、 B' 、 $3n$ についても同様の動作を行う。なお、第1のディレイ回路の遅延時間は、外部装置が出力する映像データのブラंक時間の $\frac{3}{4}$ であることが望ましい。第2のディレイ回路の遅延時間についても同様である。これにより、ドレインドライバは、外部装置のブラंक時間の $\frac{3}{4}$ の時間をセットアップ時間とすることが出来、ラッチやDA変換器のタイミング制御が容易となる。更に、走査線の選択や表示パネルのスイッチング回路の制御に関しても、外部装置が出力する映像データに対し、 n ドット分だけ遅れた動作を行う必要はあるが、制御が容易となる。

【0050】図6は本発明の第3の実施形態の表示装置を示す。表示装置を構成する表示パネルPNLには、本実施形態は、第2の実施形態と類似しているため、第2の実施形態との相違点を中心に述べる。表示領域DPAは、それぞれ走査線方向に n ドットを有する第1表示ブロックBK1と第2表示ブロックBK2と第3表示ブロックBK3の3つの表示ブロックより構成されるが、この表示装置では、ブロックの一部が他のブロックと一部重なっており、それに合わせ、それぞれの表示ブロックに対応するスイッチング回路も一部重なっている。具体的には、第1表示ブロックと第2表示ブロックとを2ドット分重ね合せているため、第1表示ブロックに属する画素 PR_{n-1} と PR_n とは第2の表示ブロックにも属する。また、画素 PR_{n-1} に接続されるドレイン線には、第1のスイッチング回路に含まれるスイッチ SR_{n-1} を介して、ドレインバスラインの配線 BR_{n-1} に接続され、更に、第2のスイッチング回路に含まれるスイッチ SR_{n-1}' を介してドレインバスラインの配線 BR_1 にも接続されている。第1表示ブロックと第2表

24

示ブロックとで共有される画素 PR_n についても同様に、第1のスイッチング回路に含まれるスイッチ SR_n を介して配線 BR_n に接続され、かつ、第2のスイッチング回路に含まれるスイッチ SR_n' を介して配線 BR_2 にも接続されている。図6では、赤を表示する画素に対応するドレイン線やスイッチ、ドレインバスラインの配線のみを示しているが、先の実施形態でも示したように、緑を表示する画素と青を表示する画素に対応するドレイン線やスイッチ、ドレインバスラインの配線も同様に存在する。スイッチ SR_{n-1} と SR_n とを含む第1のスイッチング回路に属する $3n$ 個のスイッチは信号 $\Phi1$ によって制御され、スイッチ SR_{n-1}' と SR_n' とを含む第2のスイッチング回路に属する $3n$ 個のスイッチは信号 $\Phi2$ によって制御される。図示では省略しているが、第2表示ブロックと第3表示ブロックとについても2ドット分重畳させるため、上述の構成と同様になる。以上により、図6の表示装置では、1本の走査線に $3n-4$ 個のドットが形成されており1本の走査線に形成される画素数は $3n-4$ の3倍となり、また、それぞれの表示ブロックに対応するスイッチング回路は、 $3n$ 個となり、ドレインバスラインの配線数も $3n$ 本となる。

【0051】ドレインバスラインの $3n$ 本の配線は、表示パネル上に形成された $3n$ 個の端子を介してドレインドライバに接続される。ドレインドライバは、1つの半導体チップ上に形成されており、その半導体チップは異方性導伝シート等で表示パネルに貼り付けられており、外部装置よりデジタル信号として映像データが入力される。入力された映像データは2つのディレイ回路DL1とDL2や3つのディレイスイッチSW1、SW2、SW3を介してラッチ回路LTCに転送され、ラッチ回路(入力ラッチと処理ラッチ)に保持された映像データをDA変換して映像信号をドレインバスラインに供給するDA変換器DACが形成されている。本実施形態のディレイ回路とディレイスイッチとラッチ回路とDA変換器とは、第2の実施形態で示したものと同様の動作を行う。更に、この1つの半導体チップ上に形成されたドレインドライバには、ディレイスイッチとラッチ回路とDA変換機を制御する信号と、表示パネルの第1から第3のスイッチング回路を制御する信号と、ドレインドライバを制御する信号とを出力する制御回路TCが内蔵されている。上述のように、表示ブロックを重畳することで、表示ブロック間での表示のばらつきを抑制することが可能となる。更に、ディレイ回路をドレインドライバ内に組み込むことで、表示装置を構成する部品数を削減することが可能となる。

【0052】もちろん、この半導体チップを柔軟性の配線基板上に形成し、柔軟性基板を介して表示パネルに接続する構成であってもよい。また、本実施形態でも表示パネルを3つの表示ブロックに分割しているが、ドレイ

(14)

25

ンドライバの特性や、表示パネルのスイッチング回路の特性や、コスト等を考慮し、2分割でもあっても、4分割以上であっても問題ない。また、本実施形態の3つの表示ブロックを横方向に複数個並べて表示パネルを構成することも可能である。この場合、ドレインドライバを形成した半導体チップ上にディレイ回路も形成することにより、複数のドレインドライバに1つの外付けディレイ装置を設けることにより、外付けディレイ回路の複雑な設計を必要とせず、多品種の表示装置を低コストで供給することがとなる。更に、前記効果を高めるため、それぞれのディレイ回路の遅延時間や、ディレイスイッチを制御する信号やDA変換機やラッチ回路を制御する信号のタイミング、表示パネルのスイッチング回路を制御する信号のタイミング等を、半導体チップ外より設定することも可能である。この場合、ドレインドライバの映像データ入力端子や映像信号出力端子等から、前記設定を行うためのデータの供給を行い、前記供給されたデータを保持する不揮発性メモリや揮発性メモリからなるレジスタを設け、内部の処理回路により前記レジスタに保持されたデータを処理し、前記遅延時間やタイミング等を設定するようにすることも可能である。もちろん、ここで示した、遅延時間やタイミングの設定は、第2の実施形態のディレイ装置やドレインドライバへの適用も可能である。

【0053】図7では、本実施形態の各部位での映像データや信号波形を示している。図6の実施形態では、表示ブロック間のドットを重畳しているため、第2の実施形態の映像データや信号波形とは若干異なる。つまり、ドレインドライバの入力ラッチから処理ラッチへの映像データの転送時間、つまりセットアップ時間を常に一定に保つためには、第2の実施形態のごとく、入力ラッチに入力されるべき最後の映像データが所定のディレイスイッチを通過して次のディレイスイッチをオン状態にするまでの期間は、1水平期間のブランク時間を3等分した期間であることが望ましい。そのため、ディレイ回路の遅延時間は、ブランク期間を3等分した1つの期間に、外部装置が1ドットを出力する期間にブロック間で重畳するドット数を乗じた期間を加えた期間とすればよい。また、従来、外部装置よりドレインドライバに対し、2ドット分の映像データを供給する構成が存在するが、そのような外部装置を本表示装置に接続する場合、ディレイ装置内には、各ドット毎にディレイ回路を設ける構成とすることで対応できる。

【0054】図8は、本発明の第4の実施形態の表示装置を示す。この表示装置では、表示領域DPAを5つの表示ブロックBK1からBK5に分割しており、かつ、第3の実施形態と同様にブロック間を2ドット分重畳させている。更に、各表示ブロックのドレイン線はスイッチング回路を介してドレインバスラインに接続されており、各スイッチ回路は制御信号でオン/オフが制御され

26

る。具体的には、第1の表示ブロックBK1内には、1本の走査線に n ドット、つまり $3n$ 画素が形成されている。図では、1つの画素PXのみを示している。第1の表示ブロック内の各画素に接続された $3n$ 本のドレイン線は、表示領域外で第1のスイッチング回路に接続される。それぞれのスイッチング回路は、 $3n$ 個のスイッチを有し、 $3n$ 本のドレイン線は $3n$ 個のスイッチの一方の端子にそれぞれ接続される。図では、前述の実施形態と同様に、1番目と $n-2$ 番目と n 番目の赤の画素に接続されるドレイン線とそのドレイン線に接続されるスイッチSR1、SR $n-2$ 、SR n のみを示しているが、それぞれのドレイン線とスイッチとに隣接し、緑を表示する画素、青を表示する画素に対応するドレイン線とスイッチとが形成されている。第1のスイッチング回路の $3n$ 個のスイッチの他方の端子はドレインバスラインの $3n$ 本の配線にそれぞれ接続され、 $3n$ 個のスイッチは制御信号 $\Phi 1$ によってオン/オフが制御される。また、第2の表示ブロックには、1本の走査線に接続される $n-1$ 番目から $2n-2$ 番目までの n ドット、つまり $3n$ 画素が含まれ、それぞれの画素は、ドレイン線を介して第1のスイッチング回路を構成する $3n$ 個のスイッチの一方の端子に接続される。図では、 n 番目と $2n-3$ 番目の赤を表示する画素に接続されたドレイン線と、そのドレイン線に接続されたスイッチSR n' とSR $2n-3$ とを示している。第2のスイッチング回路に含まれる $3n$ 個のスイッチの他方の端子は、第1のスイッチング回路のスイッチと同様に、 $3n$ 本のドレインバスラインに接続される。ただし、第2のスイッチング回路のスイッチは、信号 $\Phi 2$ によって、オン/オフが制御される。ここで、第1の表示ブロックと第2の表示ブロックとは、2ドット分、つまり3画素分重畳しているため、先の実施形態と同様に、重畳する画素には、第1のスイッチング回路に含まれるスイッチと第2のスイッチング回路に含まれるスイッチとが接続されており、それぞれのスイッチを介して、ドレインバスラインの異なる配線に接続される。第3の表示ブロックと第4の表示ブロックと第5の表示ブロックについても上述の構成が繰り返して形成されている。ただし、第3の表示ブロックに対応する第3のスイッチング回路は信号 $\Phi 3$ によって制御され、第4の表示ブロックに対応する第4のスイッチング回路は信号 $\Phi 4$ によって制御され、第5の表示ブロックに対応する第5のスイッチング回路は信号 $\Phi 5$ によって制御される。この実施形態では、表示パネルの1本の走査線に形成されるドット数は $5n-8$ 個となり、1走査線には、 $3 \times (5n-8)$ 個の画素が形成されることとなる。

【0055】ドレインバスラインのそれぞれの配線には、第1のドライバスイッチS6と第2のドライバスイッチS7とが並列に接続されており、それぞれの配線は、第1のドライバスイッチを介して第1のドレインド

(15)

27

ライバDRV1に接続され、第2のドライバスイッチを介して第2のドレインドライバDRV2に接続される。2つのドレインドライバは表示パネル上に直接貼り付けられる構成となっているが、特に制限するわけではなく、柔軟性を有する配線基板を介して接続する構成であってもよく、また、低温ポリシリコン等により基板上に直接形成されたものであってもよい。2つのドレインドライバには、デジタル信号として映像データが並列に供給される。更に、走査線を駆動するゲートドライバを制御する信号や、表示ブロックに設けられたスイッチング回路やドレインスイッチを制御する制御は第1のドレインドライバから供給される、ドレインドライバを制御する信号を供給する外部制御回路TCONが設けられているが、特に制限しているわけではなく、ゲートドライバやスイッチング回路やドレインスイッチを制御する信号も外部制御回路から出力する構成であってもよい。また、ドレインスイッチを制御する信号は外部制御回路から供給し、第1のスイッチング回路と第3のスイッチング回路と第5のスイッチング回路とを制御する信号を第1のドレインドライバから供給し、第2のスイッチング回路と第4のスイッチング回路とを制御する信号を第2のドレインドライバから供給する構成であってもよい。

【0056】図9では、図8の第1のドレインドライバの詳細を示す。ここで示すドレインドライバは、単一の半導体チップ上に形成されたものである。第1のドレインドライバには、ドット毎の映像データが入力される。この映像データは、先の実施形態で示したものと同様で、RGBのそれぞれが複数ビットのデジタル信号である。この映像データは、図8の第2のドレインドライバにも並列に供給される。外部装置から供給される映像データは、端子を介して、ラッチLTC内の入力ラッチに入力される。入力ラッチの映像データは、ドレインドライバ内の内蔵制御回路TCより供給される信号に基づき、入力ラッチから処理ラッチへと転送され、DA変換器において処理ラッチのデジタルデータをアナログデータへと変換した後、外部端子を介して表示パネルに供給される。内蔵制御回路は、制御信号入力端子ITを介して図8の外部制御回路より入力される信号に基づき、ラッチLTCのデータ転送やDA変換器の出力のタイミングを制御する信号を出力する。また、内蔵制御回路は、表示パネルのゲートドライバやスイッチング回路、ドライバスイッチ等を制御する信号を、制御信号出力端子OTを介して出力する。なお、図では、DA変換器がアナログの映像信号を生成するための基準電圧については図示を省略している。

【0057】図10では、図8と図9とで示した第4の実施形態における信号やデータのタイミングを示す。2つのドレインドライバには、先に示した実施形態と同様に、外部装置よりRGBの画素に対応する映像データが1ドット分並列に供給される。図10のLNPでは、外

28

部装置から供給されるデータを示す。時刻 t_0 から時刻 t_1 までの期間に、1本の走査線に設けられた1番目のドットから n 番目までの映像データが入力され、その後、 t_2 までに $2n-2$ 番目のドット、 t_3 までに $3n-4$ 番目のドット、 t_4 までに $4n-6$ 番目のドット、 t_5 までに $5n-8$ 番目のドットが入力される。 t_5 から t_6 までのブランク期間BLKを経た後、時刻 t_6 からは次の走査線に対応する映像データが入力される。第1のドレインドライバは、 t_0 から t_1 までの期間に供給される映像データを内部の入力ラッチに取り込む。つまり、1番目のドットから n 番目のドットまでの $3n$ 画素分の映像データを取り込む。第2のドレインドライバは、時刻 t_1 の少し前から動作を開始し、外部装置から供給される映像データの $n-1$ 番目から $2n-2$ 番目までの映像データを入力ラッチに取り込む。第1のドレインドライバは、時刻 t_1 において、 n 番目のドットの映像データを取り込んだ後、入力ラッチの映像データを処理ラッチに転送する。処理ラッチに転送された映像データは、DA変換器によってアナログの映像信号へ変換され、ドレインドライバの出力端子に出力される。図10のSUとは、映像データを入力ラッチから処理ラッチへ転送しDA変換が完了するまでのセットアップ時間である。

【0058】第1のドレインドライバが1番目のドットから n 番目のドットまでの $3n$ 画素分の映像信号を出力するのに合わせ、表示パネル上の第1のドライバスイッチS6と信号Φ1で制御される第1のスイッチング回路とをオン状態とする。これにより、ドレインドライバの $3n$ 個の画素分の映像信号は、第1のドライバスイッチとドレインバスラインと第1のスイッチング回路とを介して第1の表示ブロックの $3n$ 本のドレイン線にそれぞれ供給され、対応する画素に書き込まれる。また、第2のドレインドライバの入力ラッチに $2n-2$ 番目のドットの映像データが書き込まれ、第2のドレインドライバの入力ラッチに n ドット分の映像データが書き込まれた後、 t_2 のタイミングで第2のドレインドライバの入力ラッチの映像データは処理ラッチへ転送される。処理ラッチで保持されたデータは、DA変換器で映像信号へ変換される。 t_2 からセットアップ時間だけ経過した後、第2のドレインドライバで生成された映像信号は、ドレインドライバの出力DRV2→OUTとして出力されるが、その出力の前に、第1のスイッチング回路と第1のドライバスイッチとをオフ状態としておく必要がある。 t_2 からセットアップ時間経過後に第2のドレインドライバが第2の表示ブロックに対応する映像信号を出力するのに合わせ、第2のドライバスイッチと第2のスイッチング回路をオン状態とし、第2のドレインドライバの出力を第2の表示ブロックの画素に書き込む。更に、 t_2 の少し前から、再び第1のドレインドライバは動作を開始し、第3の表示ブロックに対応する $2n-3$ 番目か

(16)

29

らのドットの映像信号を入力ラッチに取り込む。以上の動作を5つの表示ブロック分を行い、ブランク時間経過後、次の走査線に対応する映像データについても同様の処理を行い、外部装置より供給される5n-8ドット分の映像データを、2つのドライバを交互に動作させることで第1の表示ブロックから第5の表示ブロックまでの画素に書き込む。本実施形態では、表示ブロック間の重畳を行っているため、t₁の少し前から第2のドレインドライバの入力ラッチへのデータの取り込みを行っているが、第2のドレインドライバの動作開始のタイミングは、表示ブロック間の重畳のドット数に応じて決定すればよい。上述の説明において、第1の表示ブロックから第5の表示ブロックまでに映像信号を書き込む期間、対応する走査線は選択状態を維持する。

【0059】なお、本実施形態では、ドライバスイッチと、ドレイン線とドレインバスラインとの間のスイッチング回路と同じタイミングで動作させるように記載しているが、この限りではなく、ドレインバスラインを映像信号の電位に十分にチャージさせるためにドライバスイッチがオンするタイミングをスイッチング回路がオンするタイミングよりも早めてもよい。また、スイッチング回路をオフ状態とするタイミングを、ドライバスイッチがオフ状態となるタイミングよりも遅らせるように制御する構成であってもよい。また、スイッチング回路とドレインスイッチとがオフ状態となる期間、ドレインバスラインの配線間を短絡状態とするブリチャージ回路を設けてもよい。これにより、ドレインバスラインの各配線の電位を階調電圧のほぼ中心に持ってくるのが可能となり、次の映像信号の書き込みを高速に行うことが可能となる。ドット反転を行う場合は、ドレインバスラインの奇数番目の配線と偶数番目の配線とを別々に短絡するブリチャージ回路を設ける構成であってもよい。更に、本実施形態では、1つのドレインドライバが動作している期間、他のドレインドライバをドレインバスラインから切り離すためドレインスイッチと設けた構成としているが、表示パネル上の構成を簡単にするため、ドレインスイッチを設けず、2つのドレインドライバを直接ドレインバスラインに接続する構成であってもよい。この場合、画素に書き込む映像信号を出力しているドレインドライバ以外のドレインドライバのDA変換器は出力を行わない状態に制御してやる必要がある。また、本実施形態では、常に、第1と第3と第5の表示ブロックに書き込む映像信号を第1のドレインドライバで生成し、第2と第4の表示ブロックに書き込む映像信号を第2のドレインドライバで生成しているが、ドレインドライバの負荷を均一にするため、走査線毎にドレインドライバの動作順序を変更することも可能である。もちろん、表示ブロックの数は5つに限定されるものでなく、本発明の思想を逸脱しない範囲で他の奇数或いは偶数にすることも可能である。また、最も右側に存在する表示ブロックに

30

関しては、走査線をオフ状態に切り替えるタイミングを調整することで、該表示ブロックに対応するスイッチング回路を削除することも可能である。

【0060】図11では、本発明の第5の実施形態を示す。この表示装置では、表示領域DPAを6つの表示ブロックに分割している。第1の表示ブロック内の複数のドレイン線は表示パネルの上部に設けられる第1のスイッチング回路S1を介して、表示パネル上部に設けられる第1のドレインバスラインに接続される。更に、第3の表示ブロックBK3内のドレイン線と第5の表示ブロックBK5内のドレイン線は、表示パネル上部に設けられる第3のスイッチング回路と第5のスイッチング回路とを介して第1のドレインバスラインに接続される。また、第2の表示ブロックBK2内のドレイン線と第4表示ブロックBK4内のドレイン線と第6表示ブロックBK6内のドレイン線とは、表示パネル下部に設けられる第2のスイッチング回路と第4のスイッチング回路と第6のスイッチング回路とを介して、表示パネル下部に設けられる第2のドレインバスラインに接続される。第1のドレインバスラインは表示パネル横部に設けられる第1のドレインドライバDRV1に接続され、第2のドレインバスラインも表示パネル横部に設けられる第2のドレインドライバDRV2に接続される。第1のドレインドライバと第2のドレインドライバとは、表示装置外より、デジタル信号とし供給される映像データが入力される。この実施形態においても、ブロック間で数ドットを共有するため、表示ブロックが重畳する箇所のドレイン線は、表示パネル上部に形成されるスイッチを介して第1のドレインバスラインに接続されるとともに、表示パネル下部に形成されるスイッチを介して第2のドレインバスラインに接続される。具体的には、第1の表示ブロックと第2表示ブロックとが重畳する箇所のドレイン線は、第1のスイッチング回路に含まれるスイッチを介して第1のドレインバスラインに接続されるとともに、第2のスイッチング回路に含まれるスイッチを介して第2のドレインバスラインに接続される。表示パネル上部の第1のスイッチング回路を構成する複数のスイッチは、第1のドレインドライバから出力される信号Φ1によってオン/オフが制御される。第3のスイッチング回路と第5のスイッチング回路とについても、第1のドレインドライバから出力される信号Φ3とΦ5とで制御される。また、表示パネル下部に形成される第2のスイッチング回路と第4のスイッチング回路と第6のスイッチング回路とは、第2のドレインドライバから出力される信号Φ2と4とΦ6とによってオン/オフが制御される。また、2つのドレインドライバを制御する信号と、表示領域に形成された走査線を制御するゲートドライバとを制御する信号が、表示パネル外に設けられた外部制御回路TCONより供給される。

【0061】本実施形態では、それぞれの表示ブロック

(17)

31

内の1走査線に接続されるドット数は n とし、表示パネル全体で1走査線に接続されるドット数は $6n-10$ 、つまり、画素数は $3 \times (6n-10)$ としている。故に、各表示ブロックのドレイン線の本数は $3n$ 本であり、表示パネルの上下に形成されるドレインバスラインのそれぞれは $3n$ 本の配線を有することとなる。しかし、第1のドレインドライバと第2のドレインドライバとの処理能力を異ならせ、第1と第3と第5の表示ブロックに属するドレイン線の本数と第2と第4と第6の表示ブロックに属するドレイン線の本数とを異ならせることも可能である。これにより、上下のドレインバスラインの一方の占有面積を広くし他方の占有面積を狭くすることが可能となる。また、スイッチング回路を制御する信号をそれぞれのドレインドライバから出力しているが、一方のドレインドライバから出力する構成でもよく、また、外部制御回路によって制御する構成であってもよい。また、本実施形態では、2つのドレインバスラインを表示パネルの上下に配置しているが、上下のどちらか一方に平行して設ける構成であっても良い。もちろん、表示ブロックを6つ設ける構成に限定されるものではなく、6以外の偶数個への分割、或いは、先の実施形態のごとく奇数個への分割であってもよい。また、本実施形態の構成を横方向に2つ配置し、4つのドレインバスラインと4つのドレインドライバを設ける構成であってもよい。

【0062】図1.2では、図1.1で示す実施形態の信号とデータのタイミングを示す。図1.0との最大の違いは、表示ブロックに設けられるスイッチング回路がオンする期間である。第1の表示ブロック内の画素への映像信号の書き込みは、第2の表示ブロックの画素への映像信号の書き込みを行っている期間も行われ、時刻 t_3 以降、第3の表示ブロックの画素に対する映像信号の書き込みが開始されるまで継続される。図1.1と図1.2とで示した実施形態では、ドレインバスラインを2本設けるため、第4の実施形態に比べて、画素への映像信号の書き込み時間に余裕が生じる。本実施形態では、表示パネル上部や下部等の表現を用いているが、あくまでも走査線が延在している方向を左右とし、それに対向する方向を上下としているだけである。

【0063】上述の第4の実施形態と第5の実施形態では、表示ブロックに設けられるスイッチング回路内の個々のスイッチは、多結晶シリコンで形成された薄膜トランジスタである。ドレインドライバについては、半導体チップ上に形成されたものを直接表示パネル上に貼り付ける構成を想定しているが、特に制限されるわけではなく、スイッチング回路と同様に、表示パネル上に多結晶シリコンで形成してもよく、また、柔軟性を有する基板上に張り付けて表示パネルに接続する構成であってもよい。また、ドレインバスラインや、ドレインバスラインを構成する配線は、本明細書で独自に使用する言葉であり、本明細書の思想を逸脱しない範囲で他の名称で呼称

32

することも可能である。また、本実施形態では、各表示ブロックは隣接する複数のドットを一まとめにしているが、特に制限するものではない。例えば、6の倍数+1番目のドットを第1の表示ブロックとし、6の倍数+2番目のドットを第2の表示ブロックとし、都合6つのブロックを設ける構成であってもよい。また、外部装置が2ドット分の映像データを並列に出力する構成に合わせ、一方のドットについては一方のドレインドライバに供給し、他方のドットに関しては他方のドレインドライバに供給し、それぞれのドレインドライバで上述の実施形態で示した動作を行う構成でもよい。

【0064】以上示した実施形態において、表示領域内に形成された画素が有する薄膜トランジスタ、及び、表示領域周辺に形成されているゲートドライバが有する図示していない薄膜トランジスタを多結晶シリコンで形成している。同様に、表示領域周辺に形成され、ドレイン線とドレインドライバとの間の形成されているスイッチング回路等を構成するスイッチも多結晶シリコンで形成した薄膜トランジスタで形成している。特に制限するものではないが、表示領域内の薄膜トランジスタの特性と、表示領域外の薄膜トランジスタ、例えばドレイン線とドレインドライバとの間に形成される薄膜トランジスタの特性とを異ならせた構成とすることも可能である。画素内の薄膜トランジスタの電子の移動度を、表示領域周辺の薄膜トランジスタの電子の移動度よりも小さくすることで、画素の薄膜トランジスタではリークを抑制し、表示領域周辺の薄膜トランジスタでは動作速度を高めることが可能となる。同様に、ゲートドライバを構成する薄膜トランジスタの特性と、画素内の薄膜トランジスタの特性、或いはドレイン線とドレインドライバとの間の薄膜トランジスタの特性とを異ならせた構成であってもよい。尚、多結晶シリコンとは、少なくともアモルファスシリコンよりも結晶化されたシリコンを有するものであり、限りなく単結晶に近いシリコンも含むものである。更には、表示パネル上に直接形成された単結晶シリコンを積極的に排除するものではない。また、上述の実施形態では、ゲートドライバを表示領域周辺の左右2箇所に行っているが、左右のゲートドライバを同時に動作させる必要はなく、走査線毎に左右のゲートドライバを交互に動作させる構成でもよい。この構成にすることで、ゲートドライバの動作速度を遅くすることが可能となり、ゲートドライバの設計或いは製造に裕度が生じる。もちろん、1本の走査線毎の駆動に限定されるものではなく、複数本の走査線毎に交互に動作させる構成であってもよい。また、ゲートドライバを表示領域周辺の左右2箇所に形成したとしても、基本的には一方のみを使用することとし、仮に一方のゲートドライバに問題が発生した場合に他方のゲートドライバを使用するような構成としてもよい。このような構成とすることで、製造時や組立出荷時ゲートドライバに不都合が生じたとしても、

(18)

33

他方のゲートドライバを使用することで製品の歩留まりが向上する。また、ゲートドライバを従来如く単結晶シリコンの半導体チップ上に形成し、表示パネル上に直接貼り付けた構成、或いはゲートドライバが形成された半導体チップをテープキャリアパッケージのような柔軟性を有する基板上に貼り付けて表示パネルに接続する構成であっても問題ない。また、ドレインドライバを表示パネル上に多結晶シリコンを使用した薄膜トランジスタで形成する場合、ドレインドライバの全てを多結晶シリコンを使用した薄膜トランジスタで形成する必要はなく、DA変換器のみを多結晶シリコン薄膜トランジスタで形成する構成とすることも可能である。また、以上の実施形態では、外部から供給される映像データをデジタルデータとして記載しているが、アナログデータが供給される構成であってもよい。その場合、アナログデータをデジタルデータへ変換する装置をドレインドライバの前段に設けた構成となる。また、上述実施形態の表示装置は、液晶を使用した液晶表示装置への適用はもちろんのこと、エレクトロルミネッセンス素子を用いた有機/無機ELの表示装置をはじめ、種々の表示装置への適用が可能である。液晶表示装置については、一方の絶縁性基板上に形成された画素電極と液晶層を介して対向する他方の絶縁性基板上に形成される対向電極と間で電界を発生させて液晶を駆動して表示を行うタイプと、一方の絶縁性基板上に画素電極と対向電極とを形成し、横電界を使用して液晶を駆動するいわゆるIPS (in-plane switching) と呼ばれるタイプとが存在するが、本発明の構成、及び思想は何れのタイプの液晶表示装置へも適用可能である。

【0065】

【発明の効果】表示装置のドレイン線とドレインドライバとの間にスイッチ回路を設け、ドレインドライバを時分割で駆動することにより、従来に比べ、ドレインドラ

34

イバの数を減少させ、部品コストを低減した表示装置が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の表示装置を示す回路図。

【図2】本発明の第1の実施形態のドレインドライバを示すブロック図。

【図3】本発明の第1の実施形態のタイミング図。

【図4】本発明の第2の実施形態の表示装置を示す回路図。

【図5】本発明の第2の実施形態のタイミング図。

【図6】本発明の第3の実施形態の表示装置を示す回路図。

【図7】本発明の第3の実施形態のタイミング図。

【図8】本発明の第4の実施形態の表示装置を示す回路図。

【図9】本発明の第4の実施形態のドレインドライバを示すブロック図。

【図10】本発明の第4の実施形態のタイミング図。

【図11】本発明の第5の実施形態の表示装置を示す回路図。

【図12】本発明の第5の実施形態のタイミング図。

【図13】従来の表示装置を示す回路図。

【図14】従来の表示装置のタイミング図。

【図15】従来の表示装置のドレインドライバを示すブロック図。

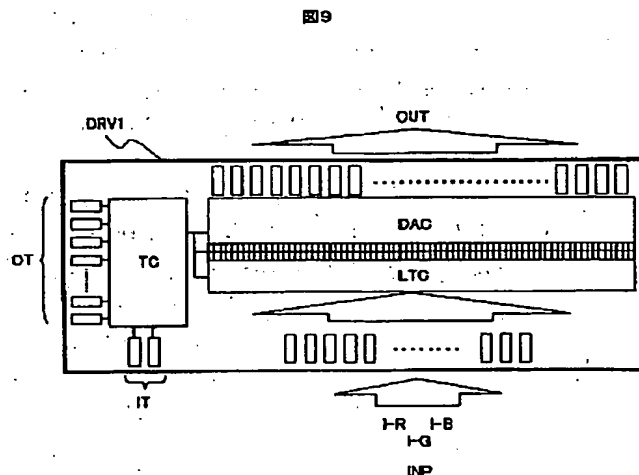
【図16】従来の表示装置を示す回路図。

【図17】従来の表示装置のタイミング図。

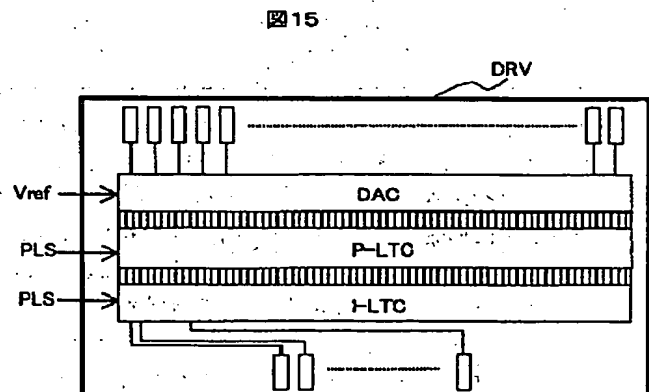
【符号の説明】

PNL：表示パネル、DPA：表示領域、VSR：ゲートドライバ、GL：走査線、DL：ドレイン線、DRV：ドレインドライバ、DAC：DA変換器、P-LTC：処理ラッチ、I-LTC：入力ラッチ

【図9】



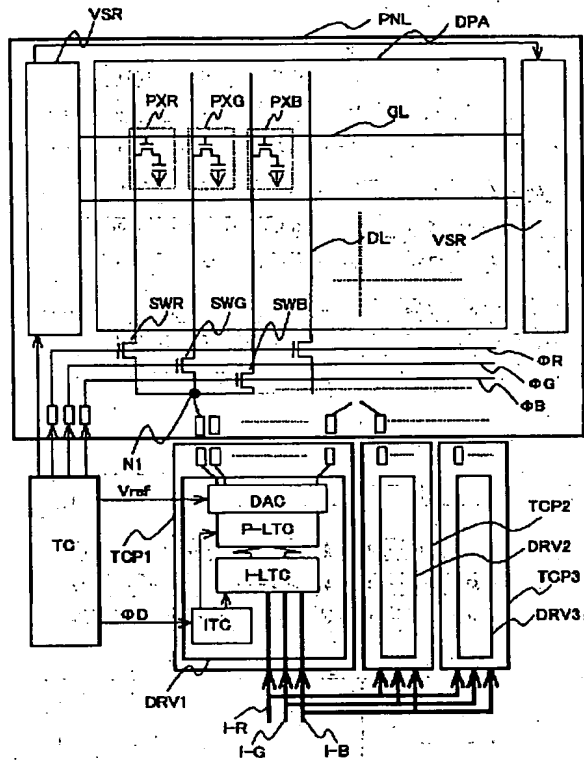
【図15】



(19)

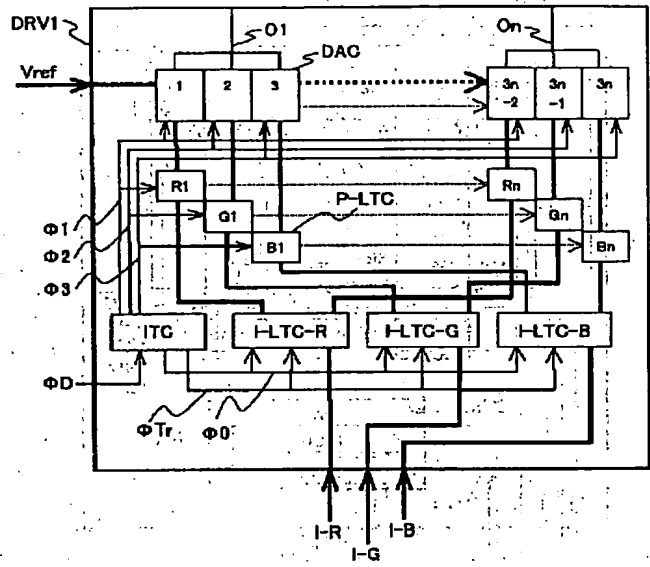
【図 1】

図 1



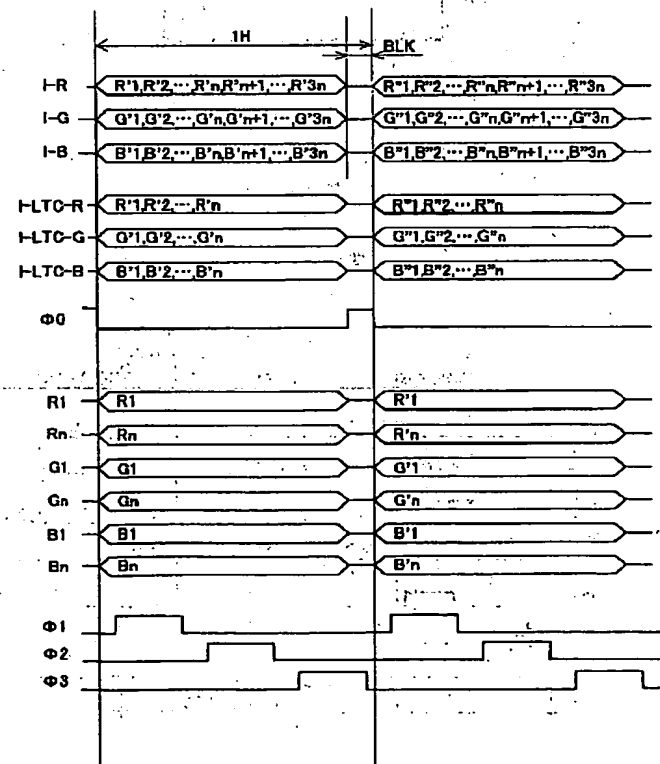
【図 2】

図 2



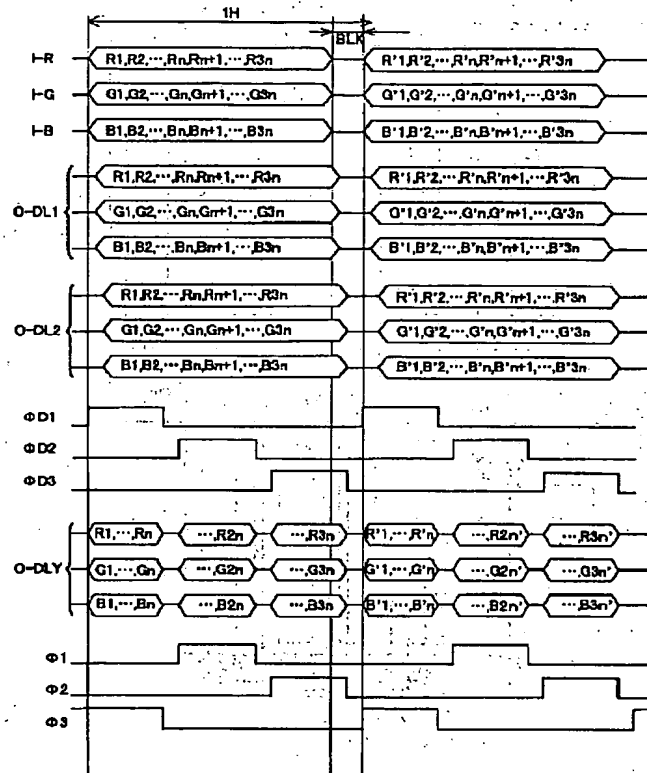
【図 3】

図 3



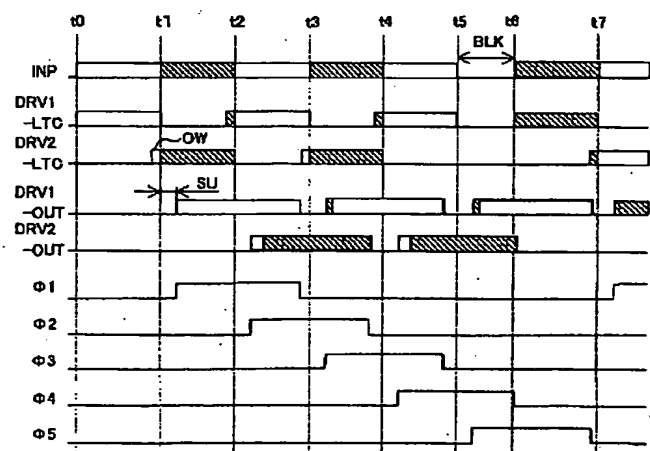
【図 5】

5



【図 10】

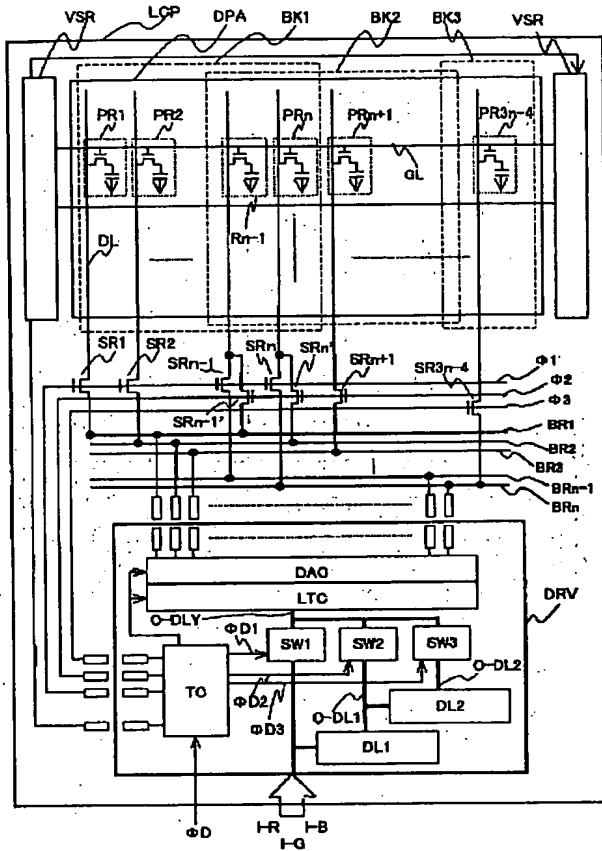
圖 12



(21)

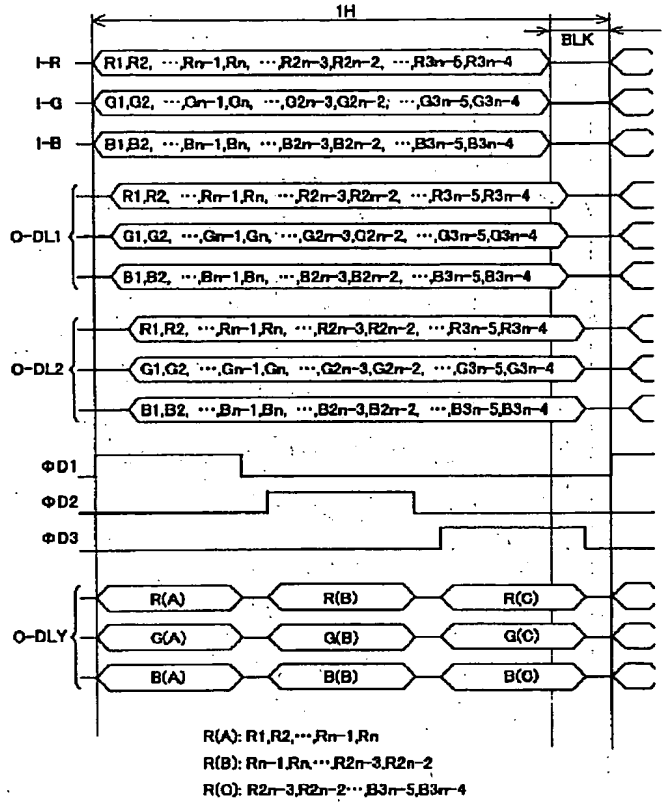
【図6】

図6



【図7】

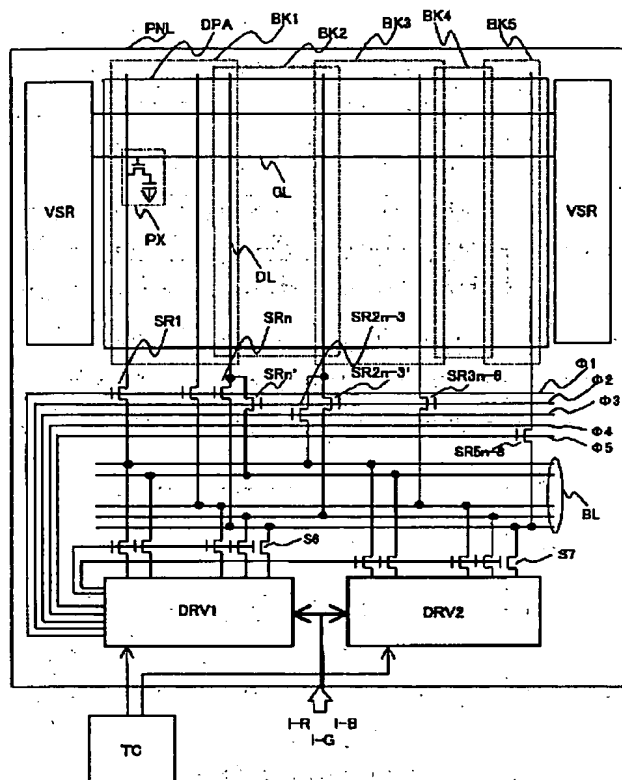
図7



(22)

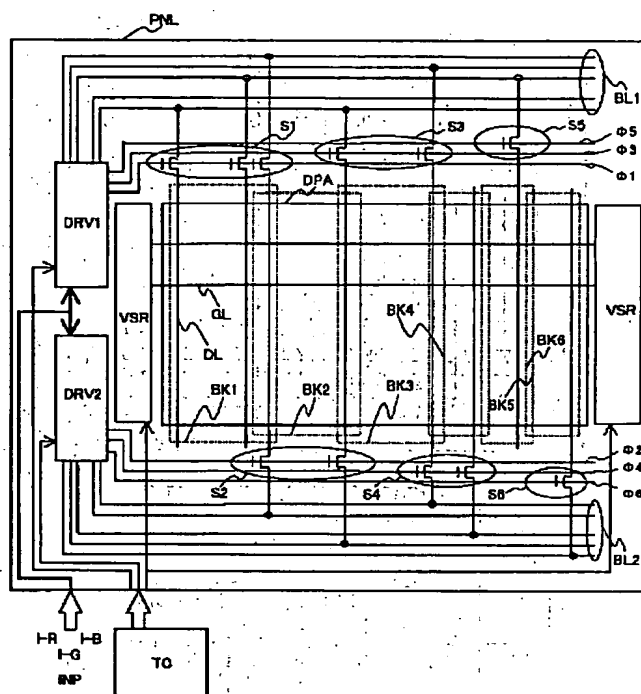
【図 8】

図 8



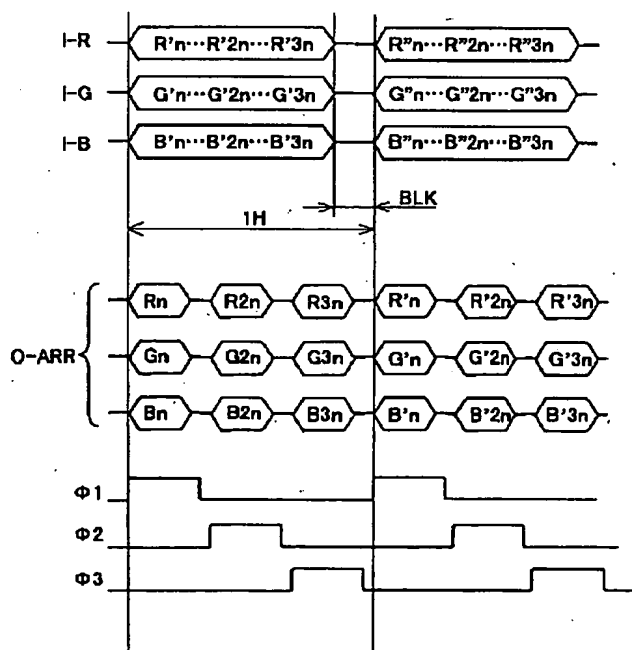
【図 11】

図 11



【図 14】

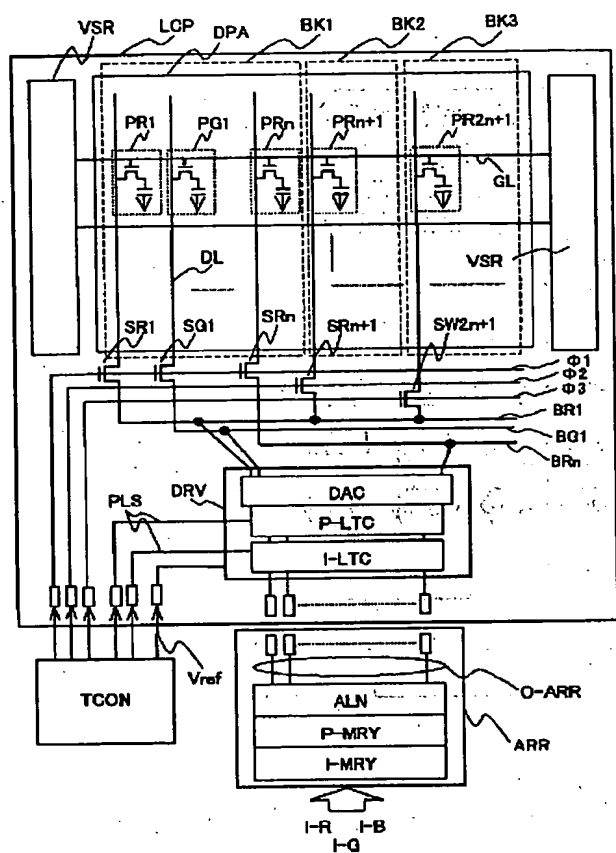
図 14



(23)

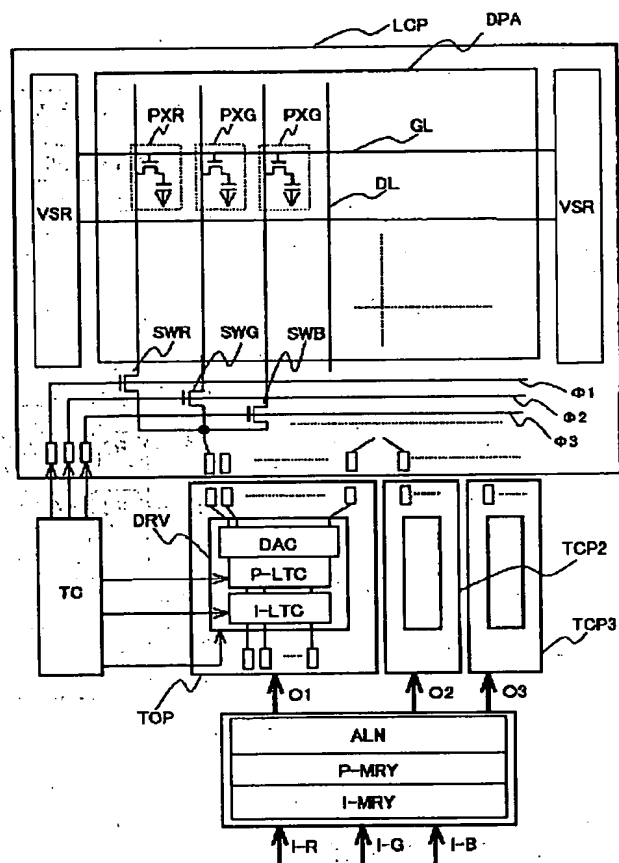
【図13】

図13



【図16】

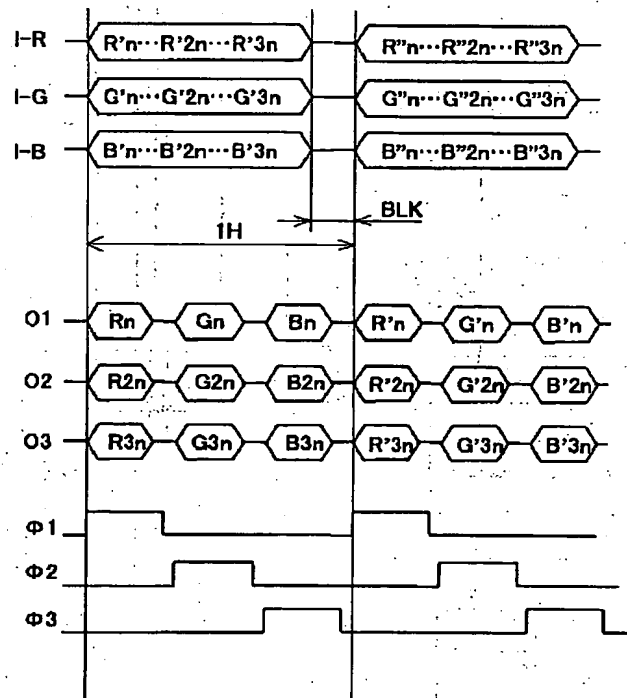
図16



(24)

【図17】

図17



フロントページの続き

(51) Int. Cl. 7

G 0 9 G 3/20

識別記号

6 8 0

F I

G 0 9 G 3/20

テーマコード* (参考)

6 2 3 F

6 2 3 G

6 2 3 V

6 8 0 G

(25)

Fターム(参考) 2H093 NA31 NA51 NB11 NC09 NC11
NC24 NC26 NC34 ND01 ND53
ND54 ND60 NE01 NE03 NE06
NE07 NE10 NG20
5C006 AA01 AA16 AA22 AC11 AF22
AF71 AF83 BB16 BC06 BC12
BC16 BC20 BC23 BC24 BF03
BF04 BF05 BF07 BF15 BF24
BF34 EB04 EB05 FA15 FA16
FA22 FA42 FA43 FA51 FA56
5C080 AA06 AA10 BB05 BB06 CC03
DD05 DD08 DD22 DD23 DD25
DD27 DD28 EE19 EE29 EE30
FF02 FF03 FF11 GG08 HH09
JJ02 JJ03 JJ04 KK02 KK43